

Projecte de Fi de Carrera
Enginyer Industrial

**Generador flexible de patrons de polsos digitals
per controlar convertidors estàtics d'energia de 2 nivells**

MEMÒRIA

Autor: Míriam Martínez

Director: Emili Lupon i Manuel Moreno

Convocatòria: Abril 2015 (pla 94)



Escola Tècnica Superior
d'Enginyeria Industrial de Barcelona

No pots ensenyar res a un home,
però pots ajudar-lo a descobrir-ho per ell mateix.
Johann Wolfgang Goethe (1749-1832)

Part I

Memòria

Resum

L'objectiu d'aquest projecte és el disseny i desenvolupament d'un sistema digital generador de polsos per al control de quatre convertidors estàtics d'energia de dos nivells.

La tecnologia utilitzada és la placa de desenvolupament DE0 Nano de Terasic amb la FPGA Cyclone® IV EP4CE22F17C6N del fabricant Altera. Pel que fa a la comunicació entre l'usuari i l'equip s'ha optat per utilitzar un controlador CAN com el SJA1000 simplificat perquè operi en mode bàsic.

Així, aquest document està estructurat en tres blocs principals:

- Disseny i tria del *hardware* que servirà de suport del sistema digital.
- Descripció del sistema en el llenguatge de descripció de *hardware* VHDL i simulació del seu comportament a nivell de porta.
- Posada en marxa del prototip i anàlisi dels resultats experimentals.

La primera part és una introducció de les diferents tecnologies que existeixen actualment en el mercat per a dur a terme aquest projecte, l'explicació de quina sol·lució s'ha emprat amb anterioritat per a fer-ho, i perquè s'opta per aquesta nova sol·lució en aquest projecte.

La segona part consisteix en la descripció del sistema en el llenguatge VHDL, per tal d'acomplir el control buscat. En aquesta secció s'explicarà detalladament la descripció dels diferents autòmats dissenyats, els seus estats i sortides, i les diferents fases de simulació que s'han dut a terme per tal de garantir el correcte funcionament del sistema final.

La tercera i última part consistirà en explicar com s'ha muntat el sistema en una maqueta que simula el sistema real per comprovar el correcte compliment de les especificacions demanades en el procés de disseny.

Índex

I	Memòria	5
	Resum	7
	Glosari	13
	Prefaci	13
	Origen del projecte	15
	Motivació	15
	Introducció	15
	Objectius del projecte	17
	Abast del projecte	17
1	Problemàtica i situació desitjada	19
1.1	Anàlisi d'antecedents	19
1.2	Situació futura desitjada	20
2	Requeriments tècnics del sistema	21
2.1	Requeriments físics del sistema	21
2.2	Requeriments de funcionament del sistema	21
2.2.1	El mode <i>CAN</i>	22
2.2.2	El mode <i>Automàtic</i>	22
2.2.3	Paràmetres programables del sistema	22
3	Selecció del hardware	25
3.1	Tria de la placa de control	25
3.2	Disseny d'un mòdul adaptador de CAN	27
4	Descripció del Hardware mitjançant VHDL/Verilog	29
4.1	Estudi del sistema de potència	29
4.1.1	Voltatge positiu vist per la càrrega	30
4.1.2	Voltatge negatiu vist per la càrrega	30
4.1.3	Voltatge nul vist per la càrrega	30
Estats de voltatge nul pur		31
Estats de voltatge nul amb 3 interruptors tancats		31
Estats de voltatge nul amb els 4 interruptors tancats		32
4.2	Tria del rellotge	33
4.3	Teoria d'autòmats	33
4.3.1	Màquina d'estats de tipus Moore	34
4.3.2	Màquina d'estats de tipus Mealy	34
4.3.3	Tipus d'autòmat triat	35
4.3.4	Visió global del sistema de control a dissenyar	35

4.4	Codificació dels estats de l'autòmat	36
4.4.1	Explicació de la part de l'autòmat que simula el patró 1	39
4.4.2	Explicació de la part de l'autòmat que simula el patró 2	41
4.4.3	Explicació de la part de l'autòmat que simula el patró 3	44
4.4.4	Explicació de la part de l'autòmat que simula el patró 4	46
4.4.5	Explicació de la part de l'autòmat que simula el patró 5	48
4.4.6	Explicació de la part de l'autòmat que simula el patró 6	50
4.5	Comunicació CAN	52
4.5.1	Definició de la interfície	52
4.5.2	Definició de l'estructura dels missatges	54
5	Test i validació del sistema	59
5.1	Validació de l'autòmat	59
5.1.1	Simulació mitjançant un banc de proves	59
5.1.2	Testeig de l'autòmat mitjançant una maqueta i microinterruptors	61
5.2	Mòdul CAN	63
5.2.1	Simulació del mòdul CAN	64
5.2.2	Testeig del mòdul CAN	65
5.3	Simulació del conjunt	68
5.3.1	Simulació de l'autòmat encarregat de gestionar la comunicació mitjançant CAN	68
6	Conclusions	71
	Estudi econòmic	73
6.1	Recursos humans	75
6.2	Recursos materials	75
6.3	Recursos de R+D	76
6.4	Cost total del projecte	76
6.5	Pressupost del projecte	77
	Impacte mediambiental	77
6.6	Anàlisi de materials durant la fase de desenvolupament	79
6.6.1	La normativa RoHS	79
6.6.2	El desmantellament i el reciclatge	80
6.7	Anàlisi de l'impacte del projecte	80
6.7.1	Impacte mediambiental dels materials	80
6.7.2	Impacte mediambiental energètic	81
	Desenvolupament del projecte per fases	82
	Agraïments	85
	Bibliografia	87
II	Annexes	1
A	Simulacions i proves realitzades	3
A.1	Simulació de l'autòmat	3
A.1.1	Simulació del patró número 1	4
A.1.2	Simulació del patró número 2	8
A.1.3	Simulació del patró número 3	12

A.1.4	Simulació del patró número 4	16
A.1.5	Simulació del patró número 5	20
A.1.6	Simulació del patró número 6	24
A.2	Comprobació del bon funcionament de l'autòmat mitjançant una maqueta	28
A.2.1	Simulació completa del sistema	29
A.2.2	Simulació del patró número 1	30
A.2.3	Simulació del patró número 2	32
A.2.4	Simulació del patró número 3	35
A.2.5	Simulació del patró número 4	37
A.2.6	Simulació del patró número 5	39
A.2.7	Simulació del patró número 6	41
A.3	Experimentació de l'autòmat	44
A.3.1	Muntatge experimental	44
A.3.2	Captures de pantalla de l'oscil·loscopi pel patró número 1	45
A.3.3	Captures de pantalla de l'oscil·loscopi pel patró número 2	47
A.3.4	Captures de pantalla de l'oscil·loscopi pel patró número 3	49
A.3.5	Captures de pantalla de l'oscil·loscopi pel patró número 4	51
A.3.6	Captures de pantalla de l'oscil·loscopi pel patró número 5	53
A.3.7	Captures de pantalla de l'oscil·loscopi pel patró número 6	54
A.4	Simulació de mòdul CAN	56
A.4.1	Captures dels fitxers de simulació	57
A.5	Proves experimentals del mòdul CAN	58
A.5.1	Captures dels fitxers de simulació	59
A.5.2	Experimentació del mòdul CAN	60
B	Taula completa dels estats que formen l'autòmat	63

Glosari

- **A/D** Analògic/Digital.
- **CAN** Control Area Network.
- **C.D.** Compact Disc.
- **DSP** Digital Signal Processor.
- **FPGA** Field-Programable Gate Array.
- **HDL** Hardware Description Language.
- **IP** Intellectual Property.
- **LCD** Liquid Crystal Display.
- **LED** Light Emitting Diode.
- **MOSFET** Metal-oxide-semiconductor Field-effect transistor.
- **PLD** Programmable Logic Device.
- **PCB** Printed Circuit Board.
- **VHDL** Combinació de VHSIC y HDL.
- **VHSIC** Very High Speed Integrated Circuit.

Prefaci

Origen del projecte

En un projecte anterior a aquest s'ha volgut controlar un sistema electrònic, que consta de quatre convertidors de dos nivells, mitjançant un processador digital de senyal (DSP). Es pretenia excitar el sistema mitjançant sis patrons de polsos diferents i poder engegar cada convertidor independentment. A més a més, es volia poder establir el valor de certs paràmetres cada cop que s'engegués el sistema.

Malauradament, un cop finalitzat aquest projecte, es va comprovar que el DSP emprat no disposava de prou potència ni velocitat per poder complir curosament amb totes les especificacions inicials del sistema. Concretament, es va observar que quan tots els convertidors s'activaven alhora, el processador no era capaç de fer cap altra tasca, mancava de potència. A més a més, el processador no tenia prou recursos ni E/S per a poder gestionar totes les tasques que es requerien. Per últim, es va constatar que el cost final dels materials: processador, placa i *software* eren bastant elevats.

Així doncs, calia trobar una alternativa més potent i econòmica al sistema actual.

Motivació

Fruit d'aquest problema ha sorgit la necessitat de desenvolupar un sistema de control més ràpid i potent, que fos capaç de controlar tots els convertidors alhora sense alentir-se, procurant al mateix temps abaratir els costos de material i llicències de *software*.

Un DSP és un sistema digital seqüencial, limitat en el simultaneïtat de tasques, per tant, ara s'ha cregut convenient passar a una tecnologia de tipus digital amb unes freqüències de commutació elevades que permeti generar més senyals amb elevades prestacions temporals. Per renovar aquest sistema de control s'ha decidit utilitzar una placa de desenvolupament de FPGA del fabricant *Terasic*, amb una configuració desenvolupada emprant VHDL i un protocol de comunicació estàndard emprat en entorns industrials (CAN) per a comunicar-se amb l'usuari.

Tot això permetrà la realització d'un sistema digital que compleixi amb totes les especificacions esmentades i que sigui capaç de gestionar tots el processos que es pretén en paral·lel.

Introducció

Objectius del projecte

L'objectiu del projecte és dissenyar una placa de control digital que permeti generar polsos per controlar quatre convertidors estàtics de potència. Es vol poder controlar:

- el tipus de patró de polsos desitjat, sel·leccionable entre sis de diferents
- quins convertidors engegar
- el període del patró triat i
- dos temps característics que especifiquin la durada dels polsos

Tots aquest paràmetres s'establiran a través de missatges CAN amb identificadors i dades ben definits en funció de cada paràmetre a fixar. És de vital importància que el sistema final sigui robust i fiable ja que controlarà un sistema de potència, que en el cas de fallada podria resultar perillós.

Un objectiu secundari és que el prototip dissenyat sigui de dimensions reduïdes i de cost baix. Es pretén dissenyar un sistema compacte que permeti ser controlat per un usuari extern mitjançant comunicació CAN.

Abast del projecte

En aquest projecte es realitzaran totes les etapes del disseny de *hardware* en VHDL, simulació i posada en marxa d'un sistema de control digital. Per tal de portar a bon port els objectius proposats, es desenvoluparan els següents punts clau:

- realitzar un estudi del projecte anteriorment realitzat per tal de veure els punts a millorar
- estudiar en profunditat els requeriments complets del sistema a dissenyar
- escollir o dissenyar el *hardware* necessari per assolir les especificacions tècniques exigides
- descriure en VHDL el sistema per controlar el sistema de potència objectiu de manera fiable i robusta i
- dur a terme els tests i validacions pertinents per garantir el correcte funcionament del sistema final dissenyat.

Capítol 1

Problemàtica i situació desitjada

En aquest capítol, es descriurà el sistema de control utilitzat actualment per operar sobre els quatre convertidors i el tipus de control desitjat.

Serà de vital importància descriure les especificacions del sistema de control actual i els requisits que s'exigiran en la situació futura. D'aquesta forma, en acabar el projecte es podran comparar els resultats obtinguts amb els requeriments plantejats en aquest capítol per concloure si s'han assolit els objectius del projecte.

1.1 Anàlisi d'antecedents

En un primer intent de realitzar un sistema de control per als quatre convertidors estàtics de dos nivells d'aquest projecte, es va optar per utilitzar un processador de tipus DSP del fabricant Texas Instruments. Concretament, es va utilitzar la placa de desenvolupament *eZdsp™ F28335*, que es mostra a la Figura 1.1.



Figura 1.1: Kit de desenvolupament del DSP.

Un cop implementat el programa de control, testat i simulat es va comprovar que el processador utilitzat era poc potent per les especificacions inicials del projecte. Es va observar que el sistema implementat no era capaç de donar la llibertat a l'usuari d'activar qualsevol dels quatre convertidors sense importar-ne l'ordre, només podia activar-los tots o cap. A més a més, mentre estava emeten els polsos per controlar els convertidors, no era capaç de realitzar cap altre tasca, ni interrupció. Per afegiment, també es va constatar que emprant aquest sistema de control, no es podien canviar les consignes ni tipus de polsos triats mentre el sistema estava en funcionament. Si bé és cert que en les especificacions d'aquest projecte no es pretén canviar les consignes en temps real, amb el sistema existent actualment no serà mai viable, mentre que seria convenient que en el nou sistema dissenyat es pogués tenir l'opció d'aquest tipus de control. Per últim,

seria desitjable disminuir els costos en *hardware* i *software* del nou sistema respecte al seu predecessor.

Així doncs, a la Figura 1.2 es pot veure el diagrama de blocs de les diferents interfícies, amb les entrades i sortides del processador utilitzat.

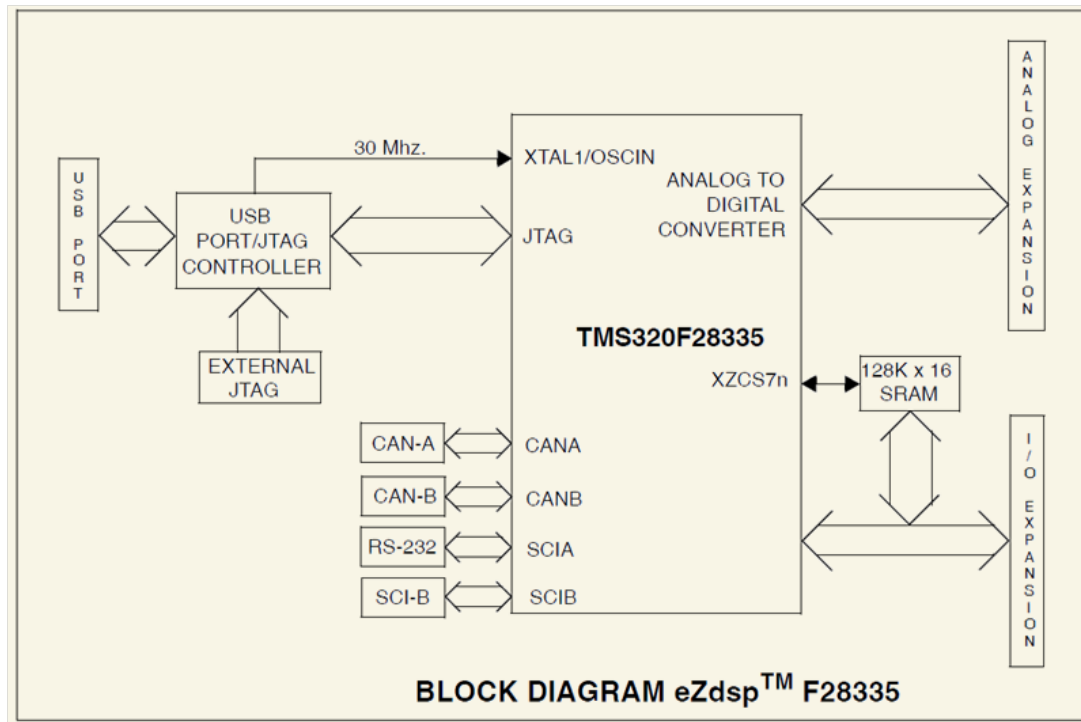


Figura 1.2: Diagrama de blocs del DSP.

Es pot veure a la Figura 1.2 que el sistema actual ja consta de comunicació CAN i d'un convertidor A/D, cosa que es vol mantenir en el nou sistema. En canvi, es constata que es té un rellotge intern de 30 MHz i a les especificacions s'observa que la velocitat d'operació és de 150 MHz, podria semblar suficient, però a l'hora de programar s'ha de fer en llenguatge C, que és un llenguatge seqüencial i el sistema esdevé massa lent. A més a més, ja que es busca redissenyar el sistema de control, s'ha de tenir en compte que aquest *kit* de desenvolupament té un preu de 400€, L'abaratiment d'aquests costos també seria una millora a tenir en compte.

1.2 Situació futura desitjada

En acabar el present projecte es desitja obtenir un sistema amb les següents característiques:

- comunicació CAN
- convertidor A/D
- alta capacitat per gestionar processos en paral·lel còmodament
- cost igual o inferior al del sistema actual i
- capacitat per modificar les consignes mentre el sistema es troba en funcionament

Capítol 2

Requeriments tècnics del sistema

En aquest capítol es descriuran minuciosament el conjunt de característiques que ha de tenir el sistema solució d'aquest projecte. Es consideren dos tipus de requeriments diferents, en primer lloc s'analitzarà els requeriments físics del sistema, i seguidament es descriurà els requeriments de funcionament desitjats.

2.1 Requeriments físics del sistema

En la primera etapa del projecte es va definir que es volia que hi haguessin dues formes diferents de configurar el sistema. Calia que el sistema es pogués controlar mitjançant comunicació CAN a través d'un ordinador i, amb potenciòmetres o interruptors per l'usuari directament. Finalment, en aquest projecte no s'ha arribat a assolir el control mitjançant potenciòmetres, queda fora de l'abast; però el sistema a desenvolupar ha de donar peu a que en un futur es pugui implementar aquesta ampliació.

Es vol un sistema ràpid i capaç de controlar en paral·lel els quatre convertidors, però també ha de ser de cost i dimensions reduïdes. Com a resum de les especificacions i requeriments tècnics del sistema a dissenyar, es presenta la següent llista:

- Entrada de comunicació CAN (2 pins)
- Convertidor A/D per a possibles ampliacions
- 16 sortides digitals per a controlar els quatre convertidors (4 sortides per 4 convertidors)
- 8 sortides digitals per a indicar l'estat del convertidor (1 LED verd i 1 LED vermell per a cada convertidor)
- 6 entrades digitals per al control de l'estat dels convertidors i la placa

Finalment, es pot concloure que com a característiques generals, es busca una placa amb entrada de comunicació que permeti una comunicació mitjançant CAN, un convertidor A/D i 32 pins d'entrada/sortida programables.

2.2 Requeriments de funcionament del sistema

Es vol aconseguir un sistema capaç de funcionar en dos modes diferents, en mode *CAN*, i en mode *Automàtic*. En tots dos modes tots els paràmetres del sistema quedaran totalment definits

però, de formes diferents.

Per tal de decidir en quin dels dos modes ha de treballar el sistema, aquest s'iniciarà en un bucle d'espera de cinc segons a l'espera d'un node mestre. Si al cap d'aquest temps no es detecta cap missatge CAN, el sistema entrarà en mode *Automàtic*.

En els dos modes esmentats anteriorment, el sistema ha de tenir el següent comportament:

- El sistema ha d'encendre el LED verd de cada convertidor, quan aquest estigui actiu.
- Si algun dels convertidors està inactiu el LED verd corresponent s'ha d'apagar.
- Només es podrà canviar els paràmetres de configuració del sistema mitjançant un reinici manual del sistema a través d'un botó d'inicialització ("reset").

2.2.1 El mode *CAN*

Si el sistema rep algun missatge d'un node mestre a través de comunicació CAN durant el temps de bucle d'espera, s'activa el **mode CAN**. Un cop el sistema ha entrat en aquest mode, només es podrà configurar mitjançant missatges a través del bus CAN. Cada missatge del bus tindrà un identificador associat al tipus d'informació que conté i s'enviarà amb una taxa de bits (*baud rate*) de 125.000 bits per segon.

El sistema enviarà un missatge CAN de l'estat del funcionament del sistema cada 100ms, per tal que l'usuari sàpiga que tot està funcionant correctament.

Es detectaran tres tipus de fallades diferents. La fallada de major prioritat és la de tipus sobrecorrent (*overcurrent*), a continuació es consideraria un error de sobreescalfament (*overtemperature*); per a finalment, detectar si hi ha algun error en algun dels convertidors. En cadascun dels casos esmentats anteriorment s'hauria d'enviar un missatge amb l'identificador pertinent de fallada, i, tot seguit, s'hauria de reiniciar tot el sistema si la fallada és de tipus sobrecorrent.

2.2.2 El mode *Automàtic*

Quan el sistema estigui en mode *Automàtic*, el sistema generarà uns polsos amb una freqüència, amplada de polsos i patró fixats anteriorment, que seran els valors del sistema per defecte.

Si el sistema detecta una fallada deguda a sobrecorrent, el sistema haurà de reiniciar-se.

2.2.3 Paràmetres programables del sistema

Es pretén obtenir un sistema versàtil i flexible, per a això es vol poder triar el valor d'alguns dels seus paràmetres cada cop que l'equip s'engegui. A continuació s'explicarà quins paràmetres es poden configurar i quin rang de valors numèrics pot tenir cadascun d'ells.

Tipus de patró En primer lloc, es vol poder escollir el tipus de patró de polsos que es vol reproduir. Com s'ha dit anteriorment, es vol poder triar entre sis patrons diferents que es comentaran a continuació:

El primer patró està format per una successió de tres polsos diferents. Primerament un pols de voltatge positiu durant un interval de temps anomenat d0, seguit d'un pols de voltatge negatiu durant un interval de temps d1, a continuació un altre pols de voltatge positiu durant un interval

de temps $d0$ i finalment, la resta del temps del període la càrrega veurà 0V. Aquests polsos es van repetint contínuament fins que l'usuari atura l'aparell.

Pel cas del segon patró, s'observa que està format per un primer conjunt de polsos com els del patró 1 i després s'inverteix el signe del voltatge. És a dir, el segon conjunt de polsos està format per un pols de voltatge negatiu de durada $d0$, seguit d'un pols de voltatge positiu de durada $d1$ i un pols de voltatge negatiu de durada $d0$, per a finalment estar a 0V fins el final del període. A continuació s'adjunten unes gràfiques en funció del temps dels patrons 1 i 2 descrits anteriorment.

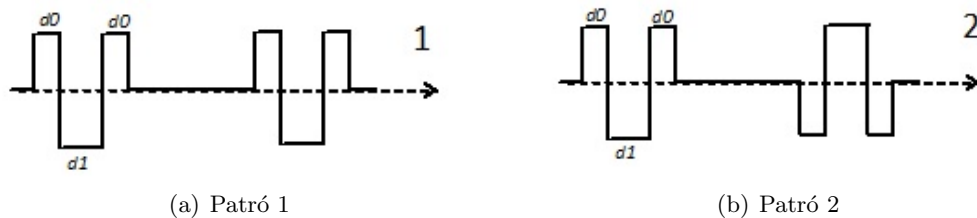


Figura 2.1: Gràfica dels patrons de polsos número 1 i 2.

Com en el cas dels patrons 1 i 2, els patrons 3 i 4 també son força similars. Es vol que el patró 3 estigui format per una successió de dos polsos diferents, el primer de voltatge positiu durant un interval de temps anomenat $d1$, i posteriorment un de voltatge negatiu durant un interval de temps $d1$, per finalment estar a un voltatge nul durant el temps restant del període.

En canvi, en el cas del patró 4, com passava amb el patró 2, es vol un primer conjunt de polsos com els descrits en el patró 3 i després, el signe del voltatge canvia. Dit d'una altra manera, en el segon interval de polsos del patró 4 es vol un primer pols de voltatge negatiu de durada $d1$, seguit d'un pols de voltatge positiu de durada $d1$, i finalment el sistema estaria a voltatge nul fins el final del període.

Tot seguit la Figura 2.2 mostra les gràfiques en funció del temps dels patrons 3 i 4 descrits anteriorment.

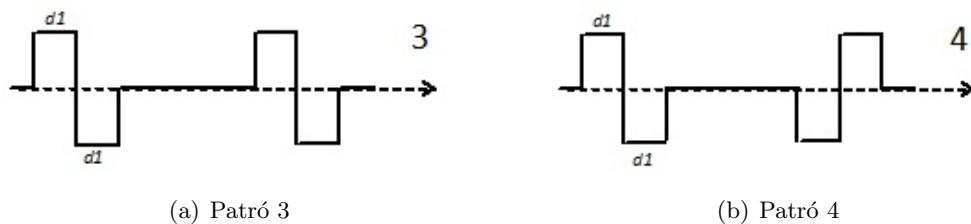


Figura 2.2: Gràfica dels patrons de polsos número 3 i 4.

Per últim, es comentarà les formes d'ona corresponent als patrons 5 i 6. El patró 5 està format per un pols positiu de durada $d1$ i la resta de temps fins al final del període està a 0V. Però com en el cas dels patrons 2 i 4, el patró 5 no és repeteix al cap de cada període. En el període següent els signes del voltatge vist per la càrrega s'inverteixen. Així, en el segon període la càrrega veuria un pols negatiu de durada de temps $d1$ i finalment estaria a voltatge nul fins el final del període 2.

Pel que fa el patró 6, també és antisimètric i està format per un pols de voltatge positiu durant un interval de temps $d0$, a continuació està a 0V durant un interval de temps $d1$, tot seguit, passa a veure un voltatge negatiu durant $d0$ per acabar a voltatge nul fins el final del període. Com s'ha explicat en altres patrons, el patró 6 és també antisimètric, per tant, en el segon període els signes del voltatge descrits anteriorment s'inverteixen, tenint en compte que el temps de voltatge nul queda igual. A continuació, s'adjunten les gràfiques en funció del temps dels patrons 5 i 6

descrits anteriorment.

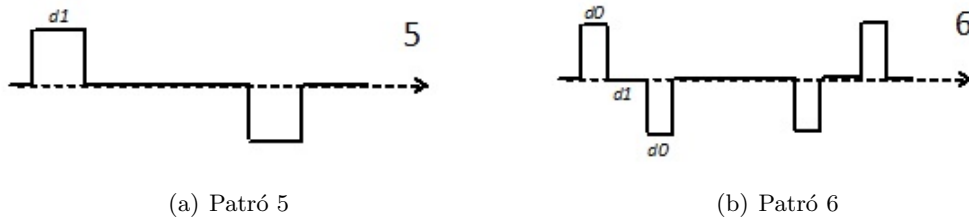


Figura 2.3: Gràfica dels patrons de polsos número 5 i 6.

Durada dels polsos d0 i d1 Es vol poder establir el temps de d0 i d1, tot i que es limiten a un valor màxim de $51,2\mu s$.

Durada del període Es desitja que el valor del període sigui flexible, és a dir que cada cop que s'engegui el sistema l'usuari ha de tenir la llibertat de poder fixar-ne el valor desitjat. Tot i així, per tal que la part de potència funcioni correctament s'estableix com a límit inferior $16,8\mu s$ i com a límit superior $100\mu s$. La Figura 2.4 mostra un esquema amb el patró de polsos número 1 per a mostrar on s'ha considerat que comença i acaba un període. Cal destacar que s'ha considerat com a període l'interval de temps entre l'inici i el final d'una part d'un patró d'un únic convertidor.

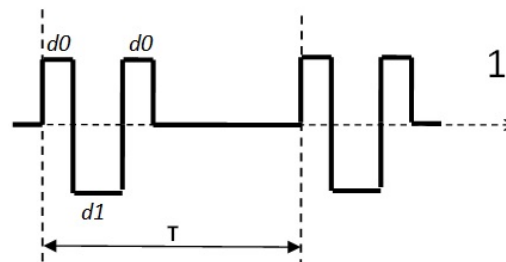


Figura 2.4: Gràfica esquemàtica d'un període.

Convertidors actius Finalment, es requereix poder triar els convertidors als quals es vol emetre polsos. Es desitja que es puguin activar els 4 convertidors independentment. És a dir, el sistema ha de ser capaç de gestionar l'activació de cada convertidor individualment, o activar-ne dos, tres o els quatre alhora. Una combinació possible seria activar els convertidors 1, 3 i 4. També s'exigeix que quan el sistema detecti una fallada en algun dels convertidors, s'ha de reiniciar el sistema.

Capítol 3

Selecció del hardware

En aquest capítol, es durà a terme una comparativa de diferents plaques de control existents en el mercat per tal d'implementar el sistema desitjat i com se n'ha fet la tria. A més a més, es mostrarà com s'ha realitzat una placa pont per permetre la comunicació mitjançant CAN entre el sistema de control i la central de control (l'ordinador).

3.1 Tria de la placa de control

A l'hora de triar el *hardware* a utilitzar, es va decidir des d'un bon principi centrar-se en plaques de desenvolupament de FPGA, ja que és un tipus d'estructura *hardware* versàtil que es caracteritza per la seva potència a l'hora de gestionar blocs que treballen en paral·lel. A més a més, durant la intensificació d'electrònica es va estudiar el disseny de circuits digitals amb FPGA de la casa Altera, mitjançant els *softwares* Quartus II i ModelSim. Per tant, directament es va realitzar una comparativa entre les plaques de desenvolupament de FPGA que existeixen en el mercat de la casa Terasic amb una FPGA de la casa Altera.

Tenint en compte que es vol reduir al màxim l'espai i el cost es va optar per començar a estudiar les característiques de la gama més baixa de Terasic, i anar pujant en gama, preu i característiques a mesura que els requisits així ho exigissin.

Així doncs, les plaques que es van considerar per a realitzar la comparativa de característiques i preus són les següents:

- DE0 Nano
- DE0

A continuació s'analitzarà les diferents característiques de les plaques pre-seleccionades per triar-ne la més adient:

Característiques a comparar:	DE0 Nano	DE0
Tipus de FPGA:	Cyclone® IV EP4CE22F17C6N	Cyclone III EP3C16F484C6N
Número d'elements lògics:	22,320	15,408
Quantitat de memòria encastada [en Kbit]:	594	504
Número de pins d'entrada i sortida:	153	346
Preu acadèmic [en \$]:	61	81
Clock intern [en MHz]:	50	50
Conversor A/D:	NS ADC128S022, 8-Channel, 12-bit A/D Converter	No

Taula 3.1: Comparació de característiques de les plaques de desenvolupament pre-seleccionades.

Es pot veure clarament que la DE0 Nano és la única placa que porta incorporat un convertidor analògic-digital. A l'apartat de *Requeriments tècnics del sistema* s'ha explicat que es desitja tenir aquest element perquè, en una futura ampliació del projecte, es puguin establir els valors dels paràmetres manualment per l'usuari mitjançant potenciómetres.

D'altra banda, cal comprovar que es disposa del número d'entrades i sortides suficients pel sistema que es vol controlar. La DE0 Nano disposa de 88 pins d'entrada/sortida i per a l'aplicació que es desitja implementar se'n necessiten 32.

Així doncs, es pot donar per vàlida la DE0 Nano per dur a terme el present projecte.

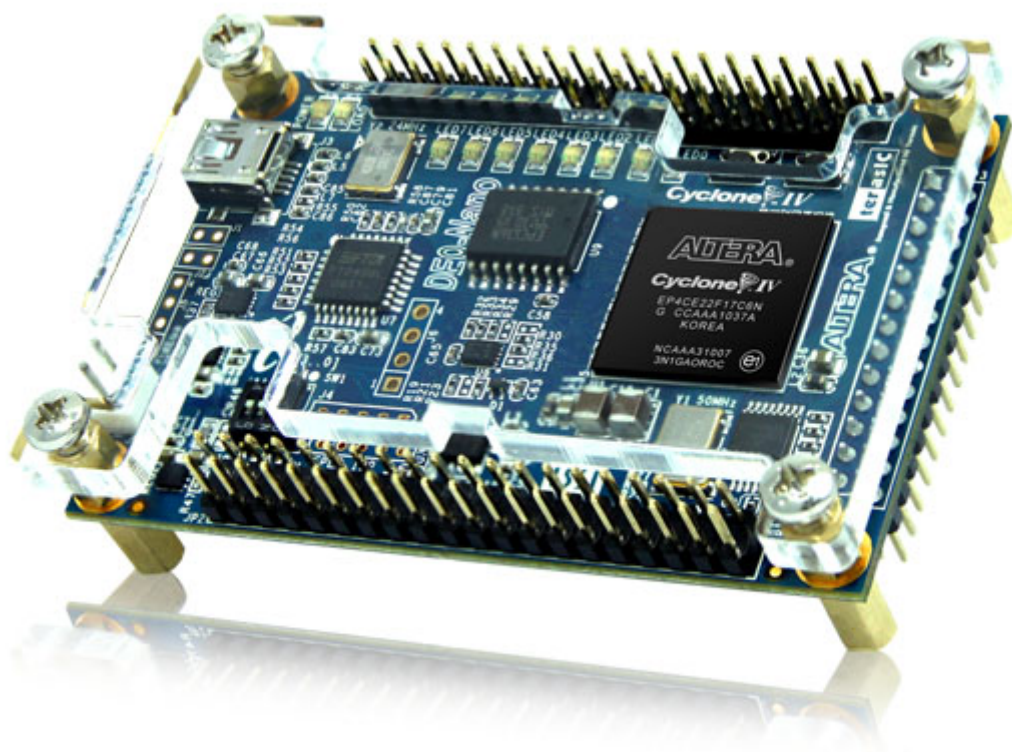


Figura 3.1: Placa de desenvolupament DE0 Nano

3.2 Disseny d'un mòdul adaptador de CAN

Un cop escollida la placa amb la qual es desenvoluparà el disseny del control digital, i tenint present que el controlador de bus CAN s'implementarà sobre la FPGA, es va constatar que el transceptor de CAN que es disposava al departament d'electrònica funcionava a 5V i la sortida de la placa DE0 Nano és de 3,3V. Així doncs, és necessari incloure en el disseny del *hardware* un *transceiver* de CAN compatible amb senyals digitals estàndards de 3,3V.

A la Figura 3.2 es mostra l'esquema electrònic del disseny dut a terme, i a la Figura 3.3 es mostra la imatge del dispositiu real. Cal destacar que es va muntar un dispositiu manualment, amb una placa de punts i soldant cadascun dels components, però a l'hora d'utilitzar-ho no es va procedir amb prou cura i es van connectar els pins d'alimentació malament, cosa que va provocar que el xip es cremés. Posteriorment a això es va comprar un mòdul adaptador igual que el fabricat manualment abans, però tot muntat de fàbrica.

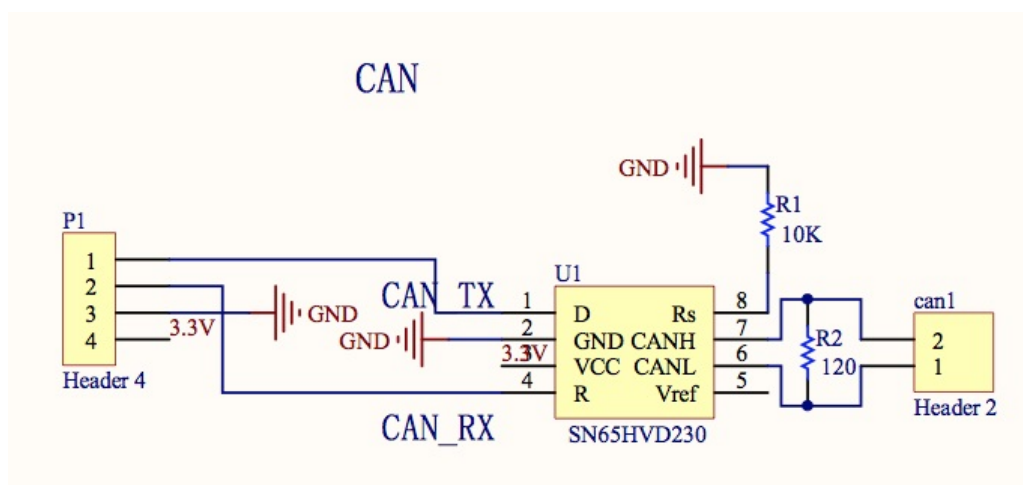


Figura 3.2: Layout del mòdul adaptador pel CAN

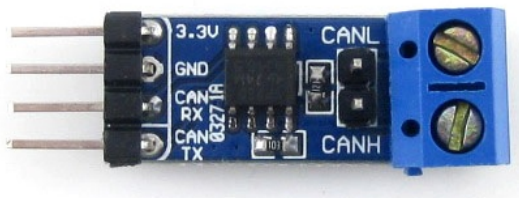


Figura 3.3: Imatge del mòdul adaptador pel CAN

Capítol 4

Descripció del Hardware mitjançant VHDL/Verilog

En aquest capítol, es busca explicar com s'ha plantejat la descripció del sistema en el llenguatge VHDL en funció de les especificacions i el *hardware* existents. Per a això, s'ha dividit aquest capítol en un primer apartat on s'estudiarà la composició del sistema de potència a controlar, posteriorment s'explicarà la precisió amb la qual s'ha volgut digitalitzar el sistema analògic existent, per finalment presentar els autòmats de control dissenyats.

4.1 Estudi del sistema de potència

Cadascun dels 4 convertidors de potència que es desitja controlar, està format per una càrrega, una font de corrent i quatre MOSFETS, representats com interruptors en l'esquema de la Figura 4.1. Cal destacar que la font de corrent és comuna als 4 convertidors.

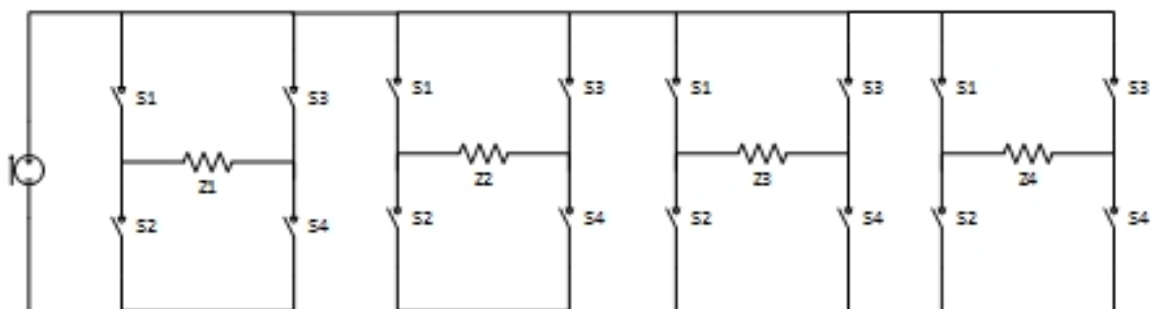


Figura 4.1: Esquema del sistema complet dels convertidors que es volen controlar

Per tal de poder reproduir els patrons descrits en el capítol 3 s'estudiaran els diferents estats considerats dels convertidors individualment. Segons les posicions en les quals es trobin els interruptors, oberts o tancats, la càrrega veurà un voltatge de signe positiu, negatiu o nul. En primer lloc, es descriurà l'estat del circuit per que la càrrega vegi un voltatge positiu, en segon lloc s'explicarà el circuit per tal que la càrrega vegi un voltatge negatiu i en tercer lloc es presentarà les diferents possibilitats en les quals la càrrega veu un voltatge nul.

4.1.1 Voltatge positiu vist per la càrrega

Per tal que la càrrega vegi un voltatge positiu en els seus borns, s'ha de tancar els interruptors anomenats S1 i S4. A la Figura 4.2 s'ha representat el sentit del pas de corrent del convertidor quan es tanquen els interruptors S1 i S4, en aquest cas s'ha considerat que la càrrega veu un voltatge de signe positiu als seus borns (+V).

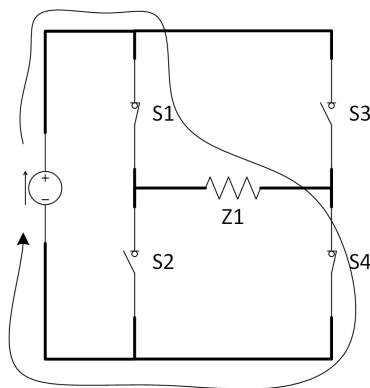


Figura 4.2: Esquema del sentit de circulació del corrent quan la càrrega veu un voltatge positiu

4.1.2 Voltatge negatiu vist per la càrrega

Per tal que la càrrega vegi un voltatge negatiu en els seus borns, s'ha de tancar els interruptors anomenats S2 i S3 representats. A la Figura 4.3 s'ha representat el sentit del pas del corrent del convertidor quan es tanquen els interruptors S2 i S3, en aquest cas s'ha considerat que la càrrega veu un voltatge de signe negatiu als seus borns (-V).

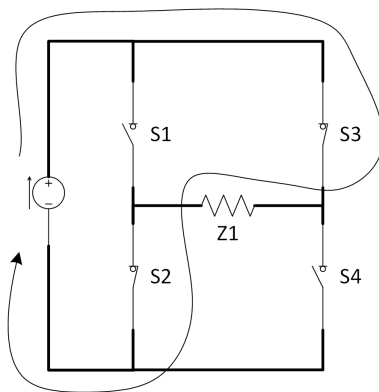


Figura 4.3: Esquema del sentit de circulació del corrent quan la càrrega veu un voltatge negatiu.

4.1.3 Voltatge nul vist per la càrrega

Per tal que la càrrega vegi un voltatge nul, s'ha de destacar que es poden donar varis casos. En aquest apartat s'han separat en dues categories diferents.

En primer lloc es comentarà els estats en els quals la càrrega veu un voltatge realment nul. Aquesta situació es pot donar o bé perquè el corrent circula tot per la branca de l'esquerra de la càrrega; amb els interruptors S1 i S2 tancats, o bé perquè el corrent circula tot per la branca de la dreta de la càrrega; amb els interruptors S3 i S4 tancats.

En segon lloc, es descriurà els estats amb tres interruptors tancats, que són estats de transició on la càrrega veu un voltatge igual a zero als seus borns, però no es consideren zeros purs. Aquests estats s'anomenen *antideath-time states* i són necessaris pel bon funcionament del sistema de potència, garanteixen que entre l'obertura i el tancament d'un interruptor transcorrerà un mínim de 200ns de temps.

Estats de voltatge nul pur

En un primer pensament es podria creure que amb un estat de voltatge nul seria suficient pel sistema descrit anteriorment. Però, pel bon funcionament de l'equip de potència, es desitja que els patrons siguin el més simètrics possible. Això fa que sigui necessari contemplar dos estats diferents de voltatge igual a zero. A la Figura 4.4 s'han representat els dos casos considerats. En la Figura 4.4(a) s'ha representat un cas de zero en el qual s'ha curtcircuitat la branca de l'esquerra del convertidor, mentre que a la Figura 4.4(b) s'ha representat un cas de zero en el qual s'ha curtcircuitat la branca de la dreta del convertidor. Així, quan s'implementin els patrons descrits anteriorment, els zeros seran un 50% de les vegades curtcircuits de la branca de l'esquerra del convertidor, i l'altre 50% de les vegades seran curtcircuits per la branca de la dreta; i així s'obtindrà un sistema equilibrat.

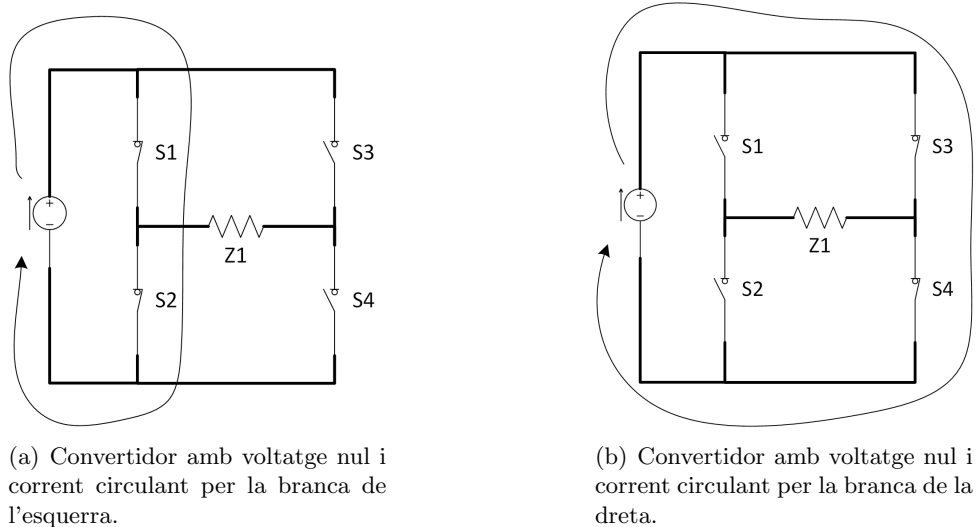
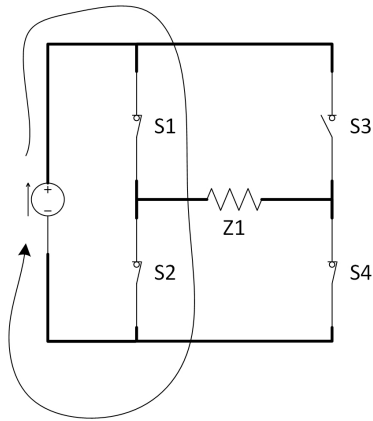


Figura 4.4: Esquema dels dos casos considerats de voltatge nul vist per la càrrega.

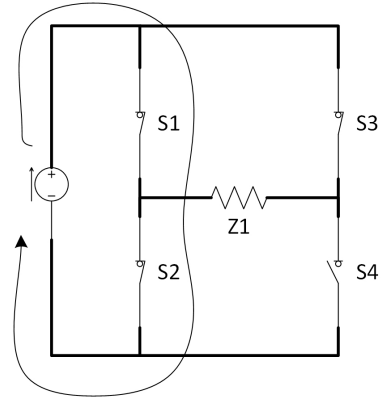
Estats de voltatge nul amb 3 interruptors tancats

Per tal de poder passar d'un estat d'excitació a un altre, l'equip de potència necessita un cert temps de transició. Aquest temps s'anomena *anti-death time* i en l'aplicació d'aquest projecte s'ha fixat en un valor de 200ns. Per tant, hi ha certs estats del convertidor en els quals no circula corrent per la càrrega i tenen tres interruptors tancats en lloc de només dos. A la Figura 4.5 s'han representat els quatre casos possibles.

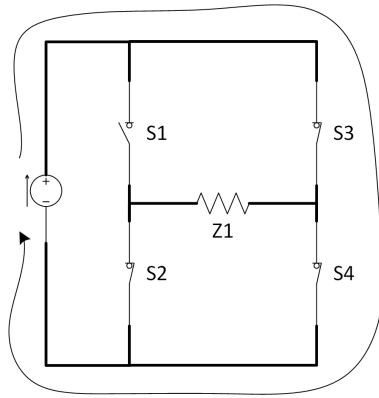
Les Figures 4.5(a) i 4.5(b) mostren la circulació del corrent pel convertidor quan la seva càrrega veu un voltatge nul als seus borns amb un curtcircuit per la branca de l'esquerra. Les Figures 4.5(c) i 4.5(d) mostren la circulació del corrent pel convertidor quan la seva càrrega veu un voltatge nul als seus borns amb un curtcircuit per la branca de la dreta.



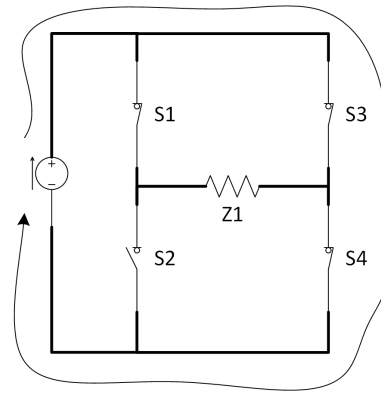
(a) Esquema de la circulació del corrent quant el convertidor està curtcircuitat per la branca de l'esquerra.



(b) Esquema de la circulació del corrent quant el convertidor està curtcircuitat per la branca de l'esquerra.



(c) Esquema de la circulació del corrent quant el convertidor està curtcircuitat per la branca de la dreta.



(d) Esquema de la circulació del corrent quant el convertidor està curtcircuitat per la branca de la dreta.

Figura 4.5: Esquema de quatre possibilitats de curtcircuit del convertidor.

Estats de voltatge nul amb els 4 interruptors tancats

Com en el cas descrit a l'apartat anterior, hi ha un estat concret de transició en el qual la càrrega veu voltatge nul i es troben tots els interruptors tancats, aquest està representat a la Figura 4.6.

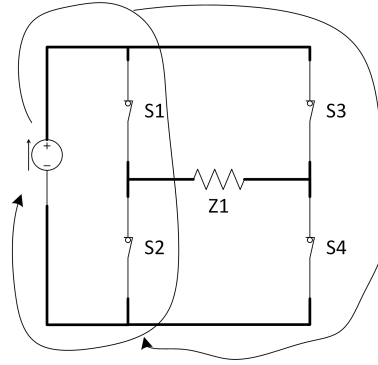


Figura 4.6: Esquema de la circulació del corrent pel convertidor amb els quatre interruptors tancats

4.2 Tria del rellotge

En aquest projecte, es pretén controlar un sistema de potència, l'actuació del qual dona lloc a un comportament que es desitjaria continu, mitjançant un sistema digital, per tant caldrà tenir molt clar quina és la precisió desitjada. Es vol un sistema de control suficientment precís pels requeriments del sistema i fiable.

Es vol que el rang de freqüències possibles es trobi entre 60kHz i 10kHz. Invertint aquestes valors s'obté que els períodes amb els quals es vol treballar van de $100\mu s$ a $16,8\mu s$. Damunt, es vol poder garantir uns *anti-death time* de 200ns, per tant un sistema amb una precisió de 100ns ja és suficient, no té gaire sentit buscar més exactitud. Així doncs, es busca un valor de rellotge inferior o igual a la precisió desitjada i múltiple dels valors extrems de les freqüències. Per afegiment, cal tenir en compte que la placa DE0 Nano triada té un rellotge intern de 50MHz, el que significa que el mínim interval de temps amb el qual pot treballar la DE0 Nano és de 20ns. Realitzant els càlculs adients s'ha obtingut que:

- $100\mu s = 1000 \times 5 \times 20ns$
- $16,8\mu s = 168 \times 5 \times 20ns$
- $200ns = 2 \times 5 \times 20ns$

Així doncs, un valor de rellotge que convindria per a poder acomplir amb les restriccions del sistema desitjades seria de 10MHz; aquest valor permetria garantir una precisió de 100ns, que és més que suficient pel sistema descrit.

4.3 Teoria d'autòmats

Un cop decidit el valor del *clock* (rellotge) a utilitzar en el disseny del sistema digital, cal plantejar el dilema de l'arquitectura del sistema. Cal destacar que el llenguatge VHDL es caracteritza per facilitar la manipulació de diversos processos en paral·lel, utilitzant autòmats concurrents. A part d'implementar aplicacions emprant autòmats concurrents, l'estructura pròpia de les FPGAs recomana treballar amb sistemes síncrons, és a dir que l'autòmat evolucioni d'estat cada cop que hi ha un flanc de rellotge del sistema. Per tant, és el tipus d'estructura per la qual s'ha optat per realitzar els autòmats que formaran el disseny final. A continuació s'explicaran les característiques, avantatges i inconvenients dels dos grans tipus d'autòmats estudiats al llarg de la carrera.

4.3.1 Màquina d'estats de tipus Moore

El primer tipus de màquina d'estats que s'ha contemplat estudiar per tal de ser utilitzat per a desenvolupar el disseny del present projecte, és l'autòmat de tipus Moore. Aquest tipus d'autòmat es caracteritza per ser una màquina d'estats finits on les sortides estan totalment determinades única i exclusivament per l'estat actual del sistema. Dit d'una altra manera, cada estat de la màquina té assignada una única sortida sense importar el valor de les entrades.

A la Figura 4.7 s'ha representat una màquina d'estats finits senzilla de tipus Moore per a il·lustrar el que s'ha exposat anteriorment. En aquest esquema, S_i amb $i=1,2$ representa els diferents estats de la màquina. Les fletxes representen les transicions, on el número que apareix a sobre és el valor de la variable que fa evolucionar el sistema. Així doncs, es pot apreciar que l'evolució d'un estat a un altre només depèn del valor de la variable que es troba a sobre de les fletxes i de l'estat de partida del sistema.

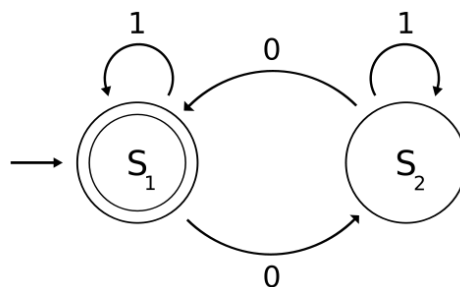


Figura 4.7: Representació d'una màquina d'estats simple de tipus Moore.

4.3.2 Màquina d'estats de tipus Mealy

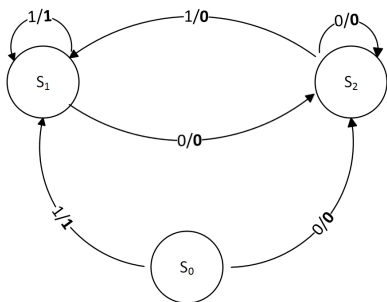


Figura 4.8: Representació d'una màquina d'estats simple de tipus Mealy.

Per contra de l'autòmat de Moore explicat en l'apartat anterior, l'autòmat de Mealy es caracteritza principalment perquè les sortides no depenen única i exclusivament de l'estat en el qual es troba el sistema. És a dir, un mateix estat pot tenir diverses sortides associades en funció del valor d'un paràmetre d'entrada.

A la Figura 4.8 s'ha representat una màquina simple d'estats finits de tipus Mealy per a facilitar l'explicació del seu funcionament. En l'esquema representat a l'esquerra, S_i amb $i=0,1,2$ representa els diferents estats de l'autòmat. A diferència que en l'autòmat de tipus Moore, aquí s'observa que a sobre de cada fletxa hi ha dos valors diferents. El primer valor, correspon al valor de la variable d'entrada que fa evolucionar l'autòmat, i el segon valor correspon al valor que pren la sortida.

Per tal d'entendre millor el seu funcionament, s'analitzarà les possibles evolucions i el valor de les sortides corresponent a l'estat S_0 . Partint de S_0 si el valor de la variable d'entrada és 0, el sistema evolucionarà cap a l'estat S_2 i la sortida tindrà un valor de 0; mentre que si la variable d'entrada pren per valor 1, el sistema evolucionarà cap a l'estat S_1 i el valor de la sortida serà igualment 1. Partint de l'estat S_1 si la variable d'entrada pren el valor de 1 el sistema resta en el mateix estat, i el valor de la sortida és 1, mentre que si la variable d'entrada val 0 el sistema evolucionarà cap a S_2 i el valor de la sortida passa a valdre 0. En canvi, s'observa que en l'autòmat adjunt el valor de la sortida de l'estat S_2 sempre valdrà 0. Aquest és l'exemple més evident de que en una màquina d'estats de tipus Mealy un mateix estat pot tenir diverses sortides associades.

4.3.3 Tipus d'autòmat triat

Un cop explicat el funcionament i les principals característiques dels tipus de màquines d'estats estudiades al llarg de la carrera, cal triar-ne una per a l'aplicació que es vol desenvolupar. Cal comentar que cada màquina d'estats de tipus Mealy té el seu equivalent en tipus Moore i viceversa. Per tant és evident que el sistema es podria resoldre amb qualsevol dels dos tipus de màquina d'estats finits.

Un avantatge que presenta una màquina de Mealy enfront a una de tipus Moore és que, donant-se el cas de tenir dos autòmats equivalents, un de tipus Mealy i un de tipus Moore, el de tipus Mealy acostuma a tenir menys estats. Per contra, un autòmat de tipus Moore al tenir associada una única sortida per a cada estat presenta l'avantatge de poder codificar els estats en funció de les seves sortides, i així poder generar les sortides directament dels *flip-flops* garantir que el sistema no presentarà espuris. Dit això, s'ha decidit optar per un autòmat de tipus Moore, tot i que suposi tenir un sistema amb un major número d'estats.

4.3.4 Visió global del sistema de control a dissenyar

La Figura 4.9 mostra com s'encadenen els 3 dissenys realitzat en aquest projecte. El bloc del mòdul CAN és el component recuperat del *IP Core de Bosch* i simplificat pel professor Emili Lupon. El bloc que el segueix, anomenat *Autòmat* correspon al gestor dels missatges, és el bloc encarregat de rebre els missatges del mòdul CAN i extreure'n els valors dels paràmetres necessaris per configurar el següent autòmat anomenat *Autòmat Complet*. Finalment, l'*Autòmat Complet* és l'autòmat que mitjançant els valors dels senyals d0, d1, patro, T, C1, C2, C3 i C4 genera els polsos de sortida del sistema digital.

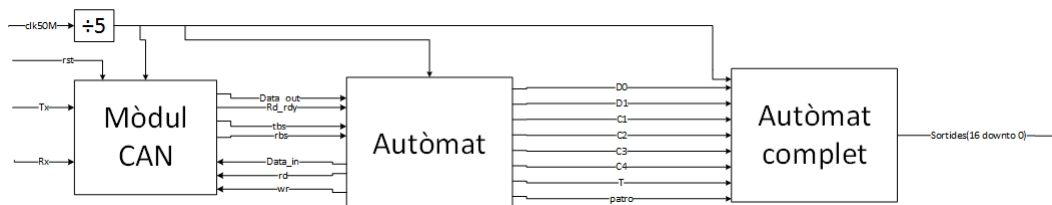


Figura 4.9: Esquema del sistema complet que es vol dissenyar

El primer autòmat que s'ha volgut dissenyar és el que gestiona les excitacions dels senyals de sortida en funció d'uns valors presos pels paràmetres programables del sistema, anomenat *Autòmat Complet* a la Figura 4.9.

La Figura 4.10 mostra les entrades i sortides del sistema programat. Es pot observar que aquest sistema inclou un divisor de freqüència per 5. Es tracta d'un autòmat síncron de valor de rellotge 10MHz.

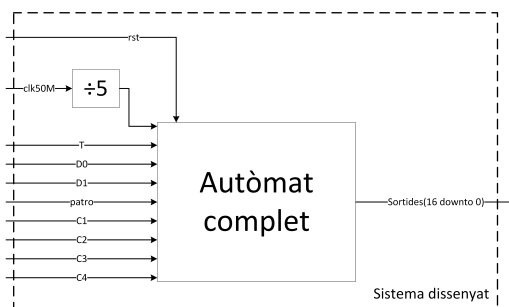


Figura 4.10: Esquema de l'autòmat que es vol dissenyar

4.4 Codificació dels estats de l'autòmat

El sistema que es vol controlar consta de quatre convertidors diferents, cadascun amb una càrrega Z com es representa a la Figura 4.11.

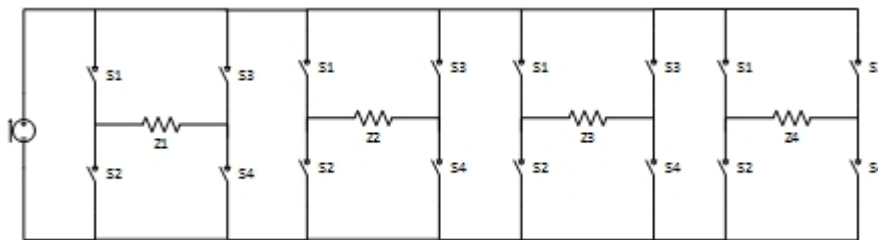


Figura 4.11: Esquema del sistema complet dels convertidors que es volen controlar

En un primer moment, s'ha intentat codificar els convertidors per separat, i activar tantes sortides com convertidors actius hi hagi. Però, s'ha observat que la font de corrent no és capaç d'alimentar les quatre càrregues simultàniament, per tant, s'ha optat per dissenyar un sistema prou ràpid per alternar els polsos per cadascuna de les càrregues i que la font de corrent només n'hagi d'alimentar una alhora. Aprofitant que el rellotge intern de la placa triada és de 50MHz, la freqüència de commutació a la qual s'està treballant és prou elevada perquè sembli que tots els convertidors estan funcionant alhora però la font d'alimentació en realitat només estigui activant un a la vegada. Utilitzar aquesta metodologia implica que les sortides de l'autòmat són com a mínim de 16 bits (4 bits per a cada convertidor, un per a cada interruptor, i hi ha 4 convertidors en total). Un cop plantejada la situació i havent triat com a tipus d'autòmat per a dissenyar un de tipus Moore, es dona per fet que el número d'estats serà molt elevat. Per intentar disminuir el tipus d'errors i evitar equivocacions s'ha de ser molt curós i metòdic dissenyant. Si més no, haver triat un autòmat de tipus Moore permet utilitzar una astúcia per a facilitar la tasca, aquesta consisteix en anomenar els estats en funció de les sortides més un número correlatiu de bits al final per tal de diferenciar un estat d'un altre. Tot seguit es presenten els esquemes de les diferents excitacions dels convertidors individuals i la codificació en binari que s'ha utilitzat per dissenyar-ho. Aquesta codificació consisteix simplement en representar per un 1 els interruptors tancats i per un 0 si aquests estan oberts.

Un cop codificat l'estat d'excitació de cada convertidor individualment, s'ha de considerar totes les seves possibles combinacions per tal de considerar totes les sortides possibles que podrà assolir l'autòmat. Per tal de clarificar i resumir això, a la Taula 4.1 es pot veure el llistat de sortides necessàries per tal de poder reproduir tots els patrons desitjats.

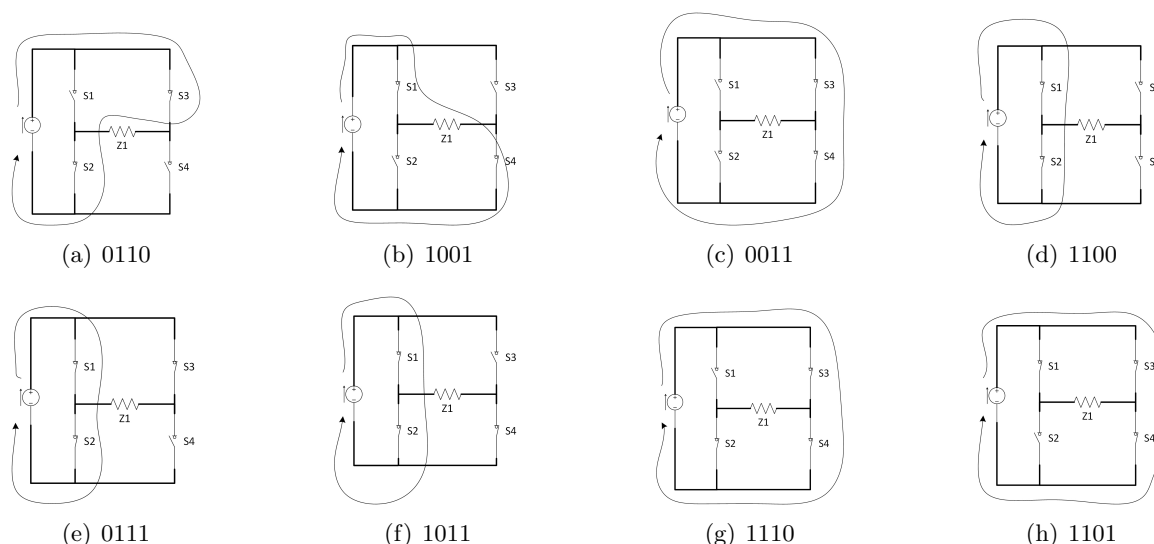


Figura 4.12: Esquema de les 8 possibles excitacions dels convertidors i de la seva codificació en binari.

Llistat d'estats i la seva codificació en binari	
Descripció de l'estat	Codificació en binari de la sortida
Voltatge positiu del primer convertidor	1001000000000000
Voltatge nul del primer convertidor per la branca de la dreta	0011000000000000
Voltatge nul del primer convertidor per la branca de l'esquerra	1100000000000000
Voltatge negatiu del primer convertidor	0110000000000000
Voltatge positiu del segon convertidor	0000100100000000
Voltatge nul del segon convertidor per la branca de la dreta	0000001100000000
Voltatge nul del segon convertidor per la branca de l'esquerra	0000001100000000
Voltatge negatiu del segon convertidor	0000011000000000
Voltatge positiu del tercer convertidor	0000000010010000
Voltatge nul del tercer convertidor per la branca de la dreta	0000000000110000
Voltatge nul del tercer convertidor per la branca de l'esquerra	0000000011000000
Voltatge negatiu del tercer convertidor	0000000001100000
Voltatge positiu del quart convertidor	0000000000001001
Voltatge nul del quart convertidor per la branca de la dreta	0000000000000011
Voltatge nul del quart convertidor per la branca de l'esquerra	0000000000001100
Voltatge negatiu del quart convertidor	0000000000000110

Taula 4.1: Taula explicativa de les possibles sortides de l'autòmat en binari.

Un cop vistes les sortides, s'explicarà com s'ha codificat l'autòmat per a cadascun dels patrons. Degut a que alguns patrons tenen més d'un pols en voltatge positiu i més d'un pols de voltatge negatiu s'ha hagut de crear diversos estats amb la mateixa sortida.

En un principi s'ha plantejat utilitzar la lletra P majúscula per a referir-se a un estat on el voltatge que veurà la càrrega serà de signe positiu. Amb una N majúscula es codificaran els estats on el voltatge que veurà la càrrega serà de signe negatiu, i finalment, amb la lletra C majúscula es codificarà els estats on el voltatge vist per la càrrega sigui nul, o zero.

Els estats de l'autòmat que tinguin una T majúscula, son estats transitoris, necessaris perquè un interruptor no pot passar de encès a apagat sense que un altre no canviï d'estat. Aquests estats s'han creat pel compliment del requisit del *anti-death time*.

L'autòmat creat, finalment té 367 estats, com és comprensible resulta quasi impossible plasmar tot l'autòmat en un únic esquema, per tant, s'ha optat per subdividir-lo. A més a més, la part positiva que té és que és molt simètric i es podria pràcticament dir que explicant el funcionament de l'autòmat pel convertidor 1, en el cas de voler reproduir cadascun dels 6 patrons, la resta de convertidors tenen el mateix funcionament. Així doncs a continuació s'explica la part de l'autòmat corresponent a la reproducció de cadascun dels patrons, pel convertidor 1.

4.4.1 Explicació de la part de l'autòmat que simula el patró 1

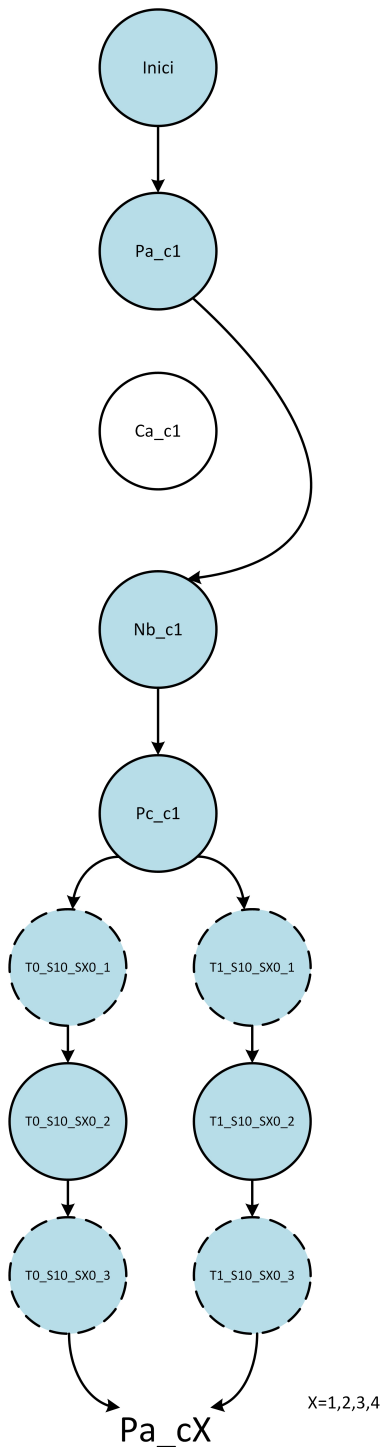


Figura 4.13: Representació dels estats principals de l'autòmat implementat per tal de reproduir el patró de polsos n^o1

A la Figura 4.13 s'ha pretès mostrar la part de l'autòmat responsable de la simulació del patró 1, que es recorda a la figura següent:

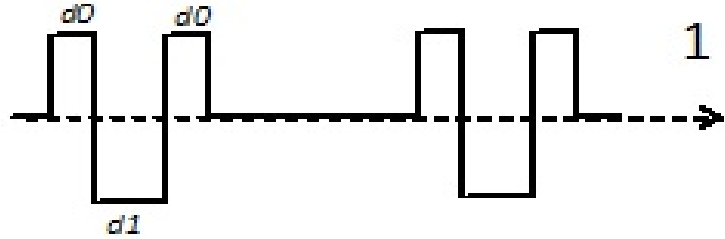


Figura 4.14: Patró 1

Els estats en blau, són els estats "actius" en el patró de polsos número 1. La resta d'estats que es mostren, però no estan en blau, són estats que s'utilitzaran per realitzar altres combinacions de polsos.

El primer puls de voltatge positiu del patró 1 s'ha anomenat Pa_c1, el segon puls de voltatge negatiu està representat per la nomenclatura Nb_c1 i finalment l'últim puls positiu s'anomena Pc_c1. Els últims sis estats de l'autòmat corresponen a estats transitoris entre la desactivació del convertidor 1 i l'activació del següent convertidor, que s'ha considerat que pot ser qualsevol. Si només es desitges activar el convertidor 1, el següent estat seria Pa_c1, però si es desitges activar un altre convertidor, es passaria a l'estat Pa_cX, amb X el número del convertidor que es busca activar. S'ha de dir que per tal de que el programa estigués més ordenat, s'han activat els convertidors sempre en ordre creixent numèricament. Cal comentar, que en aquest esquema s'han obviat els estats transitoris entre estats principals, però entre els estats Pa_c1 i Na_c1 hi ha un estat entremig anomenat Pa_Na_c1 que garanteix un temps de 200ns entre el canvi de posició de cada interruptor. A la Taula 4.2 s'ha llistat els estats representats i la seva notació en binari, a més a més dels estats transitoris en ordre lineal d'evolució de l'autòmat. Cal comentar que s'han posat en negreta els quatre últims bits de l'estat, que no corresponen a l'estat d'excitació dels pins de sortida, aquests serveixen únicament per diferenciar els estats amb la mateixa excitació de les sortides.

Explicació de transicions entre estats i la seva codificació en binari	
Nom de l'estat	Codificació en binari
Inici	00000000000000000000
Pa_c1	10010000000000000000
Pa_Nb_c1	11110000000000000000
Nb_c1	01100000000000000000
Nb_Pc_c1	11110000000000000001
Pc_c1	10010000000000000001
Estat transitoris partint del convertidor 1	
T0_S10_S10_1	11010000000000000001
T0_S10_S10_2	11000000000000000001
T0_S10_S10_3	11010000000000000010
T1_S10_S10_1	10110000000000000001
T1_S10_S10_2	00110000000000000001
T1_S10_S10_3	10110000000000000010
T0_S10_S20_1	10011100000000000000
T0_S10_S20_2	00001100000000000001
T0_S10_S20_3	00001101000000000001
T1_S10_S20_1	10010011000000000000
T1_S10_S20_2	00000011000000000001
T1_S10_S20_3	00001011000000000001
T0_S10_S30_1	10010000110000000100
T0_S10_S30_2	00000000110000000100
T0_S10_S30_3	00000000110100000100
T1_S10_S30_1	10010000001100000100
T1_S10_S30_2	00000000001100000100
T1_S10_S30_3	00000000101100000100
T0_S10_S40_1	10010000000000110101
T0_S10_S40_2	00000000000011000101
T0_S10_S40_3	00000000000010110101
T1_S10_S40_1	10010000000000110100
T1_S10_S40_2	00000000000000110100
T1_S10_S40_3	00000000000010110100

Taula 4.2: Taula explicativa amb les possibles transicions entre estats de sortida de l'autòmat en binari.

Com s'ha comentat amb anterioritat, l'autòmat dissenyat té 367 estats, per tant, és molt complicat de plasmar tots els estats en una sola figura. El que s'ha fet doncs és explicar els estats i la seva evolució pel convertidor número 1 i obviar l'explicació per a la resta de convertidors, tot i així es poden trobar llistats la totalitat dels estats que formen l'autòmat a l'Annex B o al CD adjunt a la memòria.

4.4.2 Explicació de la part de l'autòmat que simula el patró 2

El patró 2, a diferència del patró 1 és antisimètric, per tant té 6 estats principals. Els 3 estats a l'esquerra de l'autòmat (Pa_c1, Nb_c1 i Pc_c1) són els mateixos estats que pel patró 1. En canvi, els 3 estats a la dreta de l'autòmat (Na_c1, Pb_c1 i Nc_c1) són els estats complementaris als anteriors. Es pot veure en la codificació d'aquests últims, ja que 'N' significa que la càrrega veu un voltatge negatiu i 'P' que la càrrega veu un voltatge positiu. També es pot observar que a la representació de l'autòmat s'han mantingut els estats que s'utilitzaran per a reproduir altres combinacions de patrons, però només s'han colorejat en blau els utilitzats per reproduir el patró 2. Tal i com s'ha fet pel patró 1, a la Figura 4.15 s'ha representat l'autòmat que reproduceix les excitacions a la sortida d'aquest últim, i a la Taula 4.3 els estats complets de l'autòmat amb la seva corresponent codificació en binari, ressaltant en negreta els 4 últims bits que serveixen per diferenciar estats amb les mateixes sortides.

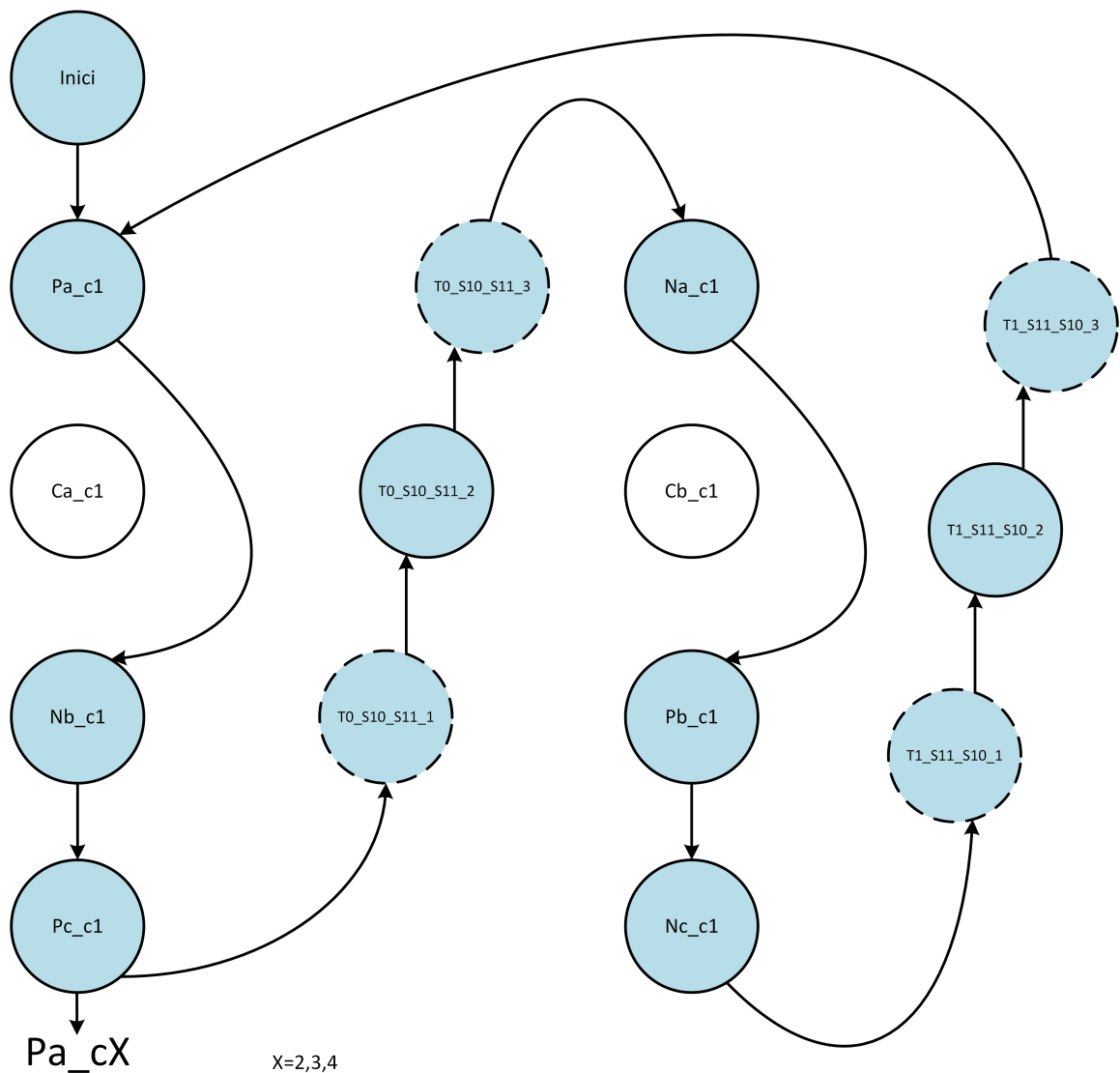


Figura 4.15: Patró 2

Explicació de transicions entre estats i la seva codificació en binari	
Nom de l'estat	Codificació en binari
Estat principals de l'autòmat corresponents a la primera part del patró	
Inici	00000000000000000000
Pa_c1	10010000000000000000
Pa_Nb_c1	11110000000000000000
Nb_c1	01100000000000000000
Nb_Pc_c1	11110000000000000001
Pc_c1	10010000000000000001
Estat transitoris partint del convertidor 1 de la primera part del patró	
T0_S10_S11_1	11010000000000000100
T0_S10_S11_2	11110000000000000100
T0_S10_S11_3	01110000000000000100
T0_S10_S20_1	10011100000000000000
T0_S10_S20_2	00001100000000000001
T0_S10_S20_3	00001101000000000001
T0_S10_S30_1	10010000110000000100
T0_S10_S30_2	00000000110000000100
T0_S10_S30_3	00000000110100000100
T0_S10_S40_1	10010000000000110101
T0_S10_S40_2	00000000000011000101
T0_S10_S40_3	00000000000010110101
Estat principals de l'autòmat corresponents a la segona part del patró	
Na_c1	01100000000000000010
Na_Pb_c1	11110000000000000010
Pb_c1	10010000000000000010
Pb_Nc_c1	11110000000000000011
Nc_c1	01100000000000000011
Estat transitoris partint del convertidor 2	
T1_S11_S21_1	01100011000000000010
T1_S11_S21_2	00000011000000000011
T1_S11_S21_3	00000111000000000011
T1_S11_S31_1	01100000001100000011
T1_S11_S31_2	00000000001100000011
T1_S11_S31_3	00000000011100000100
T1_S11_S41_1	01100000000000110011
T1_S11_S41_2	00000000000000110011
T1_S11_S41_3	00000000000001110011
T1_S11_S10_1	01110000000000000001
T1_S11_S10_2	11110000000000000101
T1_S11_S10_3	10110000000000000101

Taula 4.3: Taula explicativa amb les possibles transicions entre estats de sortida de l'autòmat en binari.

Pel que fa les transicions, la codificació que s'ha fet és: 'S' representa els convertidors, la primera xifra que el segueix representa el número del convertidor, i la segona pot ser o bé un '0' que vol dir que l'estat correspon a la primera part del patró o bé un '1' que vol dir que l'estat correspon

a la segona part del patró. Finalment, la lletra 'T' indica que es tracta d'una transició i la xifra que la segueix pot ser un '0', que vol dir que l'estat de voltatge nul es fa amb un curtcircuit per la part de l'esquerra del convertidor; o bé un '1' que vol dir que l'estat de voltatge nul es fa amb un curtcircuit per la part de la dreta del convertidor. Així doncs, per exemple, l'estat T1_S11_S31_X vol dir que estem passant del convertidor 1 al convertidor 3, ambdós per la segona part del patró i amb el zero curtcircuitant el convertidor per la branca de la dreta.

4.4.3 Explicació de la part de l'autòmat que simula el patró 3

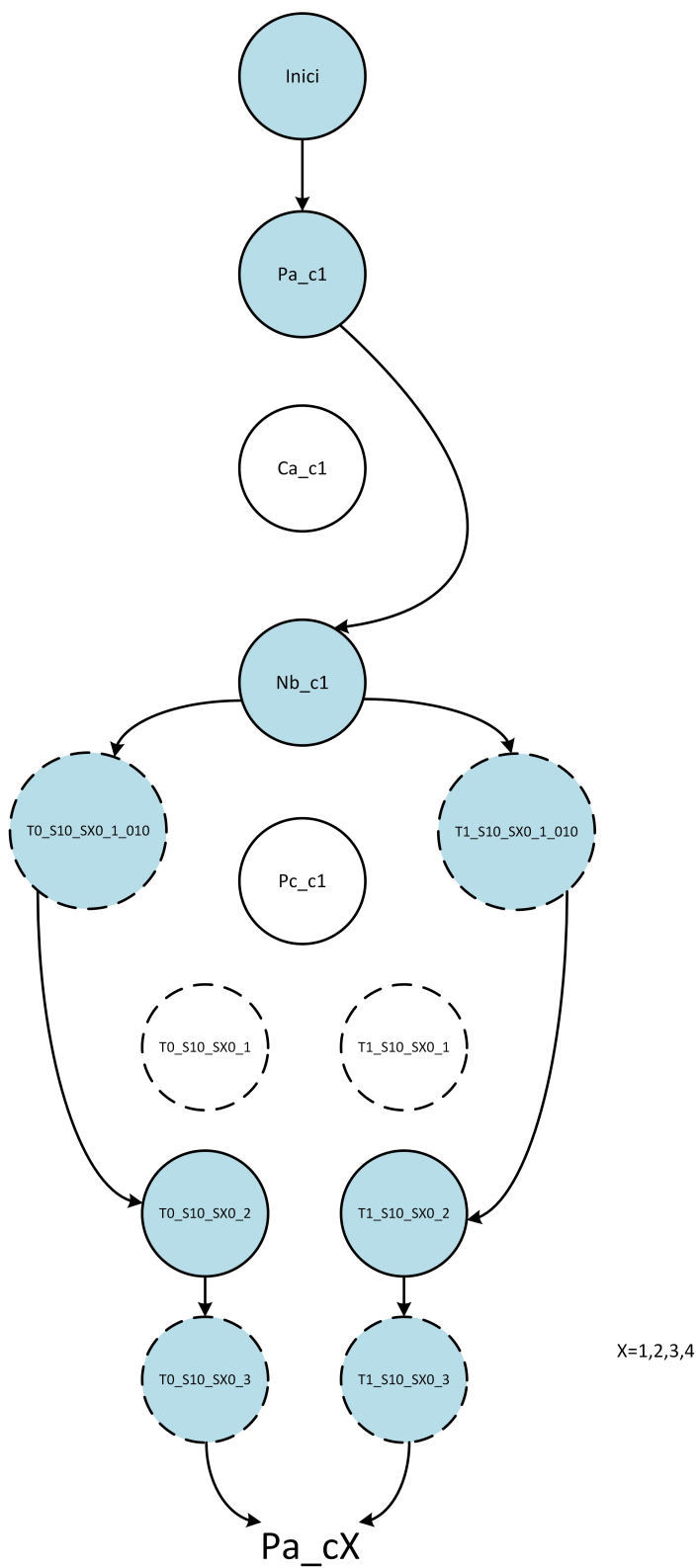
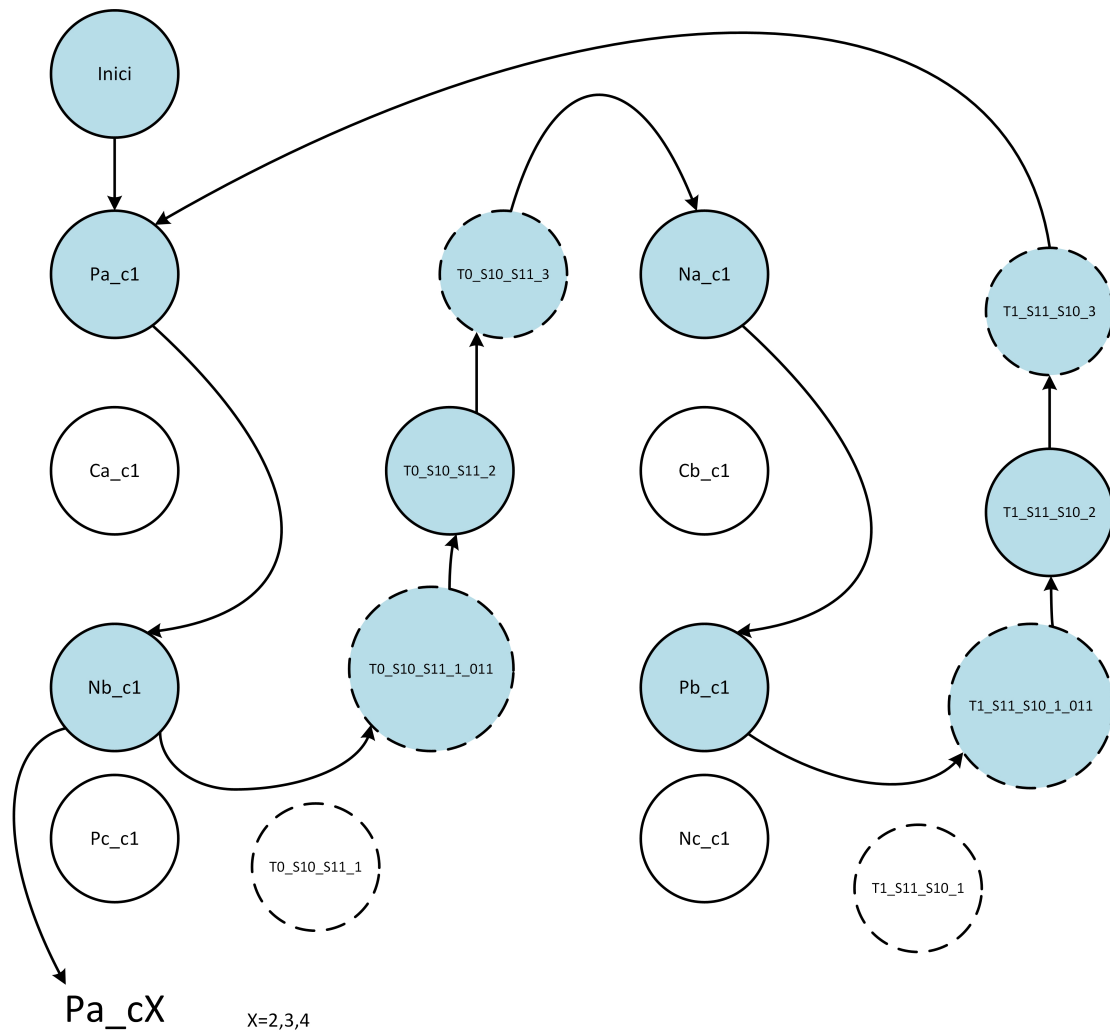


Figura 4.16: Patró 3

Explicació de transicions entre estats i la seva codificació en binari	
Nom de l'estat	Codificació en binari
Estat principals de l'autòmat	
Inici	00000000000000000000
Pa_c1	10010000000000000000
Pa_Nb_c1	11110000000000000000
Nb_c1	01100000000000000000
Estat transitoris partint del convertidor 1	
T0_S10_S10_1.010	11100000000000000001
T0_S10_S10_2	11000000000000000001
T0_S10_S10_3	11010000000000000010
T1_S10_S10_1.010	01110000000000000010
T1_S10_S10_2	00110000000000000001
T1_S10_S10_3	10110000000000000010
T0_S10_S20_1.010	01101100000000000000
T0_S10_S20_2	00001100000000000001
T0_S10_S20_3	00001101000000000001
T1_S10_S20_1.010	01100011000000000000
T1_S10_S20_2	00000011000000000001
T1_S10_S20_3	00001011000000000001
T0_S10_S30_1.010	01100000110000000100
T0_S10_S30_2	00000000110000000100
T0_S10_S30_3	00000000110100000100
T1_S10_S30_1.010	01100000001100000100
T1_S10_S30_2	00000000001100000100
T1_S10_S30_3	00000000101100000100
T0_S10_S40_1.010	00000110000000110101
T0_S10_S40_2	00000000000011000101
T0_S10_S40_3	00000000000010110101
T1_S10_S40_1.010	00000110000000110100
T1_S10_S40_2	00000000000000110100
T1_S10_S40_3	00000000000010110100

Taula 4.4: Taula explicativa amb les possibles transicions entre estats de sortida de l'autòmat en binari.

Per reproduir el patró número 3 s'ha utilitzat la mateixa codificació i nomenclatura que pels patrons anteriors. Pels patrons 4, 5 i 6; a continuació s'adjuntarà la part de l'autòmat corresponent i la taula dels seus estats, sense cap explicació addicional perquè la nomenclatura és la mateixa que els descrits anteriorment.



Explicació de transicions entre estats i la seva codificació en binari	
Nom de l'estat	Codificació en binari
Estat principals de l'autòmat de la primera part del patró	
Inici	00000000000000000000
Pa_c1	10010000000000000000
Pa_Nb_c1	11110000000000000000
Nb_c1	01100000000000000000
Estat transitoris partint del convertidor 1 de la primera part del patró	
T0_S10_S11_1.011	11100000000000000010
T0_S10_S11_2	11110000000000000100
T0_S10_S11_3	01110000000000000100
T0_S10_S20_1.011	01101100000000000001
T0_S10_S20_2	00001100000000000001
T0_S10_S20_3	00001101000000000001
T0_S10_S30_1.011	01100000110000000000
T0_S10_S30_2	00000000110000000100
T0_S10_S30_3	00000000110100000100
T0_S10_S40_1.011	01100000000011000000
T0_S10_S40_2	00000000000011000101
T0_S10_S40_3	00000000000010110101
Estat principals de l'autòmat de la segona part del patró	
Na_c1	01100000000000000010
Na_Pb_c1	11110000000000000010
Pb_c1	10010000000000000010
Estat transitoris partint del convertidor 1 de la segona part del patró	
T1_S11_S10_1.011	10110000000000000101
T1_S11_S21_2	00000011000000000011
T1_S11_S21_3	00000111000000000011
T1_S11_S21_1.011	10011100000000000010
T1_S11_S31_2	00000000001100000011
T1_S11_S31_3	00000000011100000100
T1_S11_S31_1.011	10010000001100000010
T1_S11_S41_2	00000000000000110011
T1_S11_S41_3	00000000000001111001
T1_S11_S41_1.011	10010000000000110010
T1_S11_S10_2	11110000000000000101
T1_S11_S10_3	10110000000000000101

Taula 4.5: Taula explicativa amb les possibles transicions entre estats de sortida de l'autòmat en binari.

4.4.5 Explicació de la part de l'autòmat que simula el patró 5

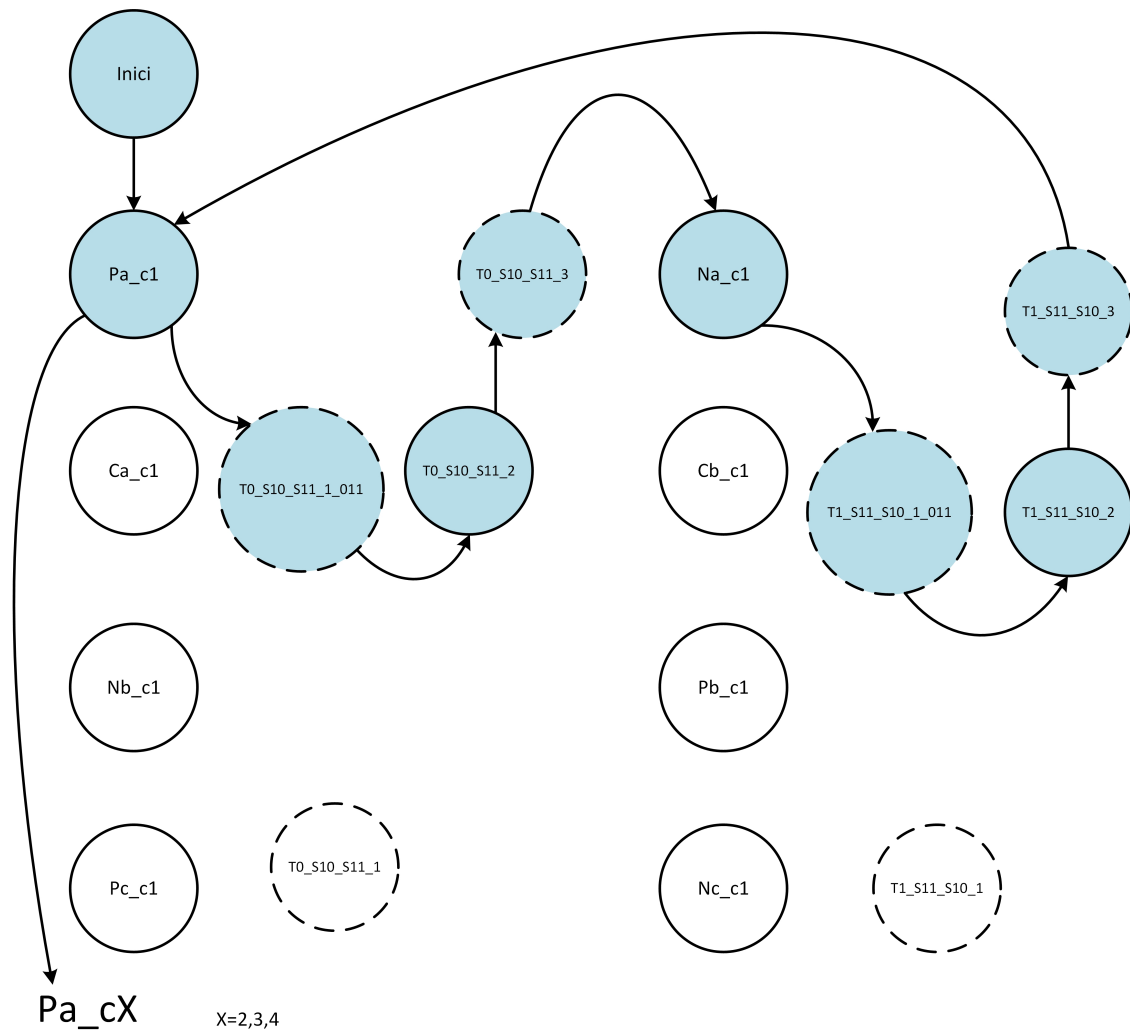


Figura 4.18: Patró 5

Explicació de transicions entre estats i la seva codificació en binari	
Nom de l'estat	Codificació en binari
Estat principals de l'autòmat de la primera part del patró	
Inici	00000000000000000000
Pa_c1	10010000000000000000
Estat transitoris partint del convertidor 1 de la primera part del patró	
T0_S10_S11_1_100	11100000000000000011
T0_S10_S11_2	111100000000000000100
T0_S10_S11_3	011100000000000000100
T0_S10_S20_1_100	10011100000000000011
T0_S10_S20_2	00001100000000000001
T0_S10_S20_3	00001101000000000001
T0_S10_S30_1_100	10010000110000000000
T0_S10_S30_2	00000000110000000100
T0_S10_S30_3	00000000110100000100
T0_S10_S40_1_100	10010000000010010000
T0_S10_S40_2	00000000000011000101
T0_S10_S40_3	00000000000010110101
Estat principals de l'autòmat de la segona part del patró	
Na_c1	01100000000000000010
Estat transitoris partint del convertidor 1 de la segona part del patró	
T1_S11_S10_1_100	01110000000000000011
T1_S11_S10_2	111100000000000000101
T1_S11_S10_3	101100000000000000101
T1_S11_S21_1_100	01100011000000000011
T1_S11_S21_2	00000011000000000011
T1_S11_S21_3	00000111000000000011
T1_S11_S31_1_100	01100000001100000010
T1_S11_S31_2	00000000001100000011
T1_S11_S31_3	00000000011100000100
T1_S11_S41_1_100	01100000000000110010
T1_S11_S41_2	00000000000000110011
T1_S11_S41_3	00000000000001110011

Taula 4.6: Taula explicativa amb les possibles transicions entre estats de sortida de l'autòmat en binari.

4.4.6 Explicació de la part de l'autòmat que simula el patró 6

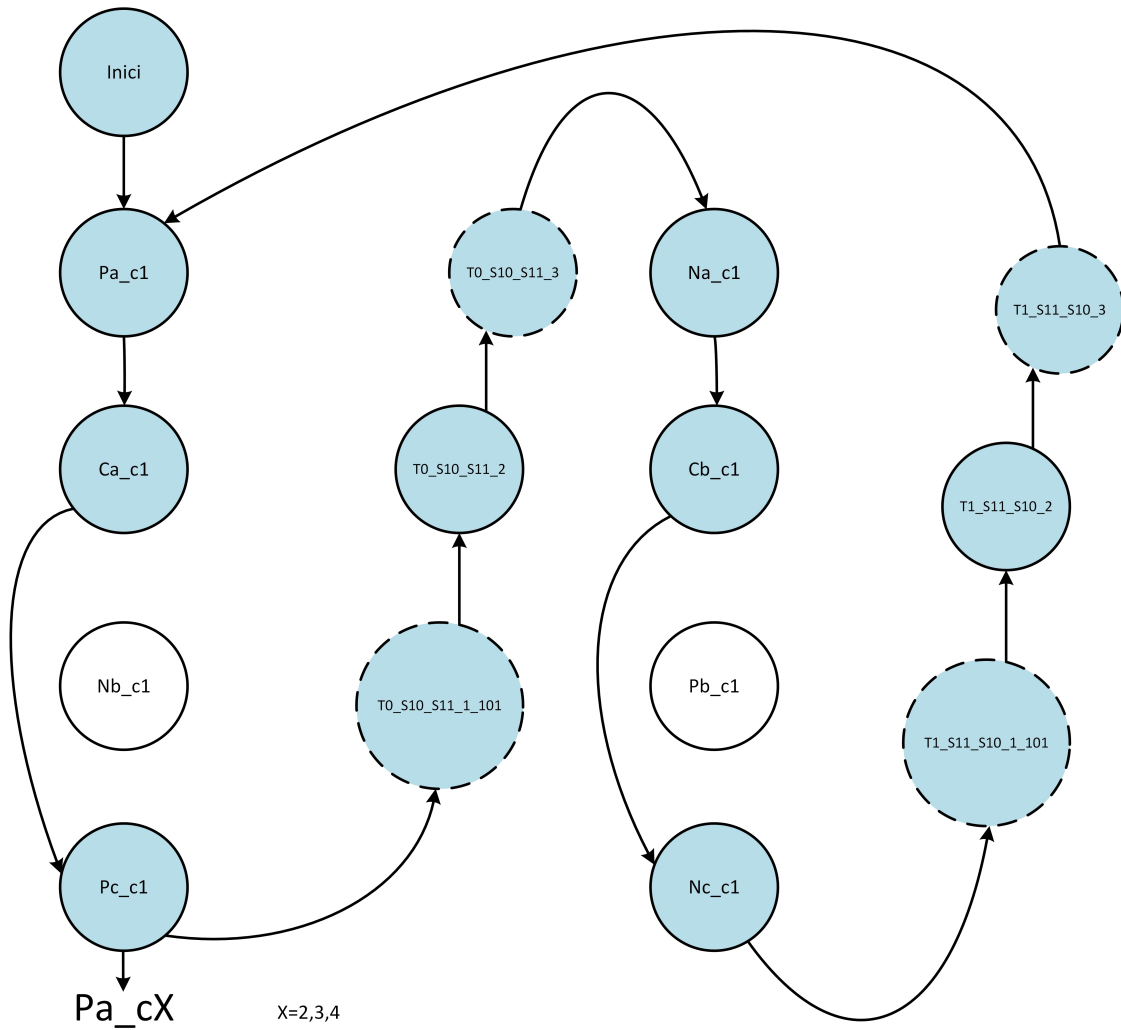


Figura 4.19: Patró 6

Explicació de transicions entre estats i la seva codificació en binari	
Nom de l'estat	Codificació en binari
Estat principals de l'autòmat corresponents a la primera part del patró	
Inici	00000000000000000000
Pa_c1	10010000000000000000
Pa_Ca_c1	11010000000000000000
Ca_c1	11000000000000000000
Ca_Nb_c1	11100000000000000000
Nb_c1	01100000000000000000
Estat transitoris partint del convertidor 1 de la primera part del patró	
T0_S10_S11_1_101	111000000000000000100
T0_S10_S11_2	111100000000000000100
T0_S10_S11_3	011100000000000000100
T0_S10_S20_1_101	01101100000000000011
T0_S10_S20_2	00001100000000000001
T0_S10_S20_3	00001101000000000001
T0_S10_S30_1_101	01100000110000000001
T0_S10_S30_2	00000000110000000100
T0_S10_S30_3	00000000110100000100
T0_S10_S40_1_101	01100000000011000001
T0_S10_S40_2	00000000000011000101
T0_S10_S40_3	00000000000010110101
Estat principals de l'autòmat corresponents a la segona part del patró	
Na_c1	01100000000000000010
Na_Cb_c1	01110000000000000000
Cb_c1	00110000000000000000
Cb_Pb_c1	10110000000000000000
Na_Pb_c1	11110000000000000010
Pb_c1	10010000000000000010
Estat transitoris partint del convertidor 2	
T1_S11_S10_1_101	011100000000000000101
T1_S11_S10_2	111100000000000000101
T1_S11_S10_3	101100000000000000101
T1_S11_S21_1_101	10010011000000000011
T1_S11_S21_2	00000011000000000011
T1_S11_S21_3	00000111000000000011
T1_S11_S31_1_101	10010000001100000011
T1_S11_S31_2	00000000001100000011
T1_S11_S31_3	00000000011100000100
T1_S11_S41_1_101	10010000000000110011
T1_S11_S41_2	00000000000000110011
T1_S11_S41_3	00000000000001110011

Taula 4.7: Taula explicativa amb les possibles transicions entre estats de sortida de l'autòmat en binari.

4.5 Comunicació CAN

4.5.1 Definició de la interfície

Per tal d'aconseguir una bona comunicació CAN, es va agafar un *IP core* (Nucli de propietat intel·lectual) de Igor Mohor, que havia passat amb èxit el banc de proves de Bosch (Bosch és l'inventor del bus CAN) i que reproduïa la funcionalitat del xip SJA1000, que s'utilitza a la indústria, especialment en el sector de l'automoció, per a la comunicació entre nodes intel·ligents. Aquest arxiu es va obtenir de la pàgina web <http://opencores.org/project,can,overview> de manera totalment gratuïta.

Aquest IP core està escrit en llenguatge verilog, que no s'ha estudiat durant la carrera. Per tant es va optar per crear un component i treballar en llenguatge VHDL. A més a més, es va voler optimitzar-lo i ajustar-lo a les necessitats concretes de l'aplicació d'aquest projecte. El professor Emili Lupon va reduir la seva estructura i fixar certs paràmetres perquè només funcionés d'una determinada manera i així reduir el número d'elements lògics a 892, que per la FPGA triada representa un 6% de la seva capacitat total. Finalment el component obtingut és un controlador de CAN que només funciona en mode Basic CAN, havent-se suprimit el mode PeliCAN i havent-se modificat la interfície a dades amb una interfície per a microprocessadors amb vus de dades de 8 bits, el que permet escriure o llegir amb una única acció qualsevol missatge del bus CAN. L'estructura dels missatges és la que es mostra a la Figura 4.20. Així doncs es pot observar que els missatges CAN estan formats per un bit inicial a '0' que indica l'inici d'un missatge, seguit de 11 bits que representen l'identificador del missatge. Posteriorment s'explicarà que en funció de l'identificador del missatge de CAN, el contingut de les dades correspondrà al valor d'uns paràmetres o altres. Seguidament de l'identificador s'envia un bit anomenat RTR (Remote-Transmission-Request), que en l'aplicació d'aquest projecte aquest paràmetre sempre tindrà de valor '0', ja que s'utilitzarà en CAN per transmetre dades. A continuació del RTR s'envien 6 bits anomenats *Control Field*, que duen la informació corresponent a la llargada del missatge de dades a enviar. L'estructura d'aquest camp és d'un primer bit anomenat IDE (Identifier Extension Bit) que té valor '0' si l'identificador és de 11 bits, com en el cas d'aquesta aplicació, o val '1' si l'identificador és de 29 bits. El següent bit és un bit reservat de valor '0'. I finalment els quatre bits restants indiquen la llargada del missatge de dades en *bytes*, que en aquest cas pot anar de 0 (0000) a 8 (1000). Seguidament, el missatge conté els *bytes* de dades, és a dir aquest és el camp que realment conté la informació a transmetre, és la informació real del missatge. Els 15 bits següents s'anomenen CRC (Cyclic Redundancy Check) o dit d'una altra manera, són un conjunt de bits que serveixen per a detectar si hi ha hagut algun error en la transmissió del missatge. El seu delimitador té valor alt, i finalment s'envia el bit d'*acknowledgment* que ha de tenir el valor alt pel transmissor i baix pel receptor.

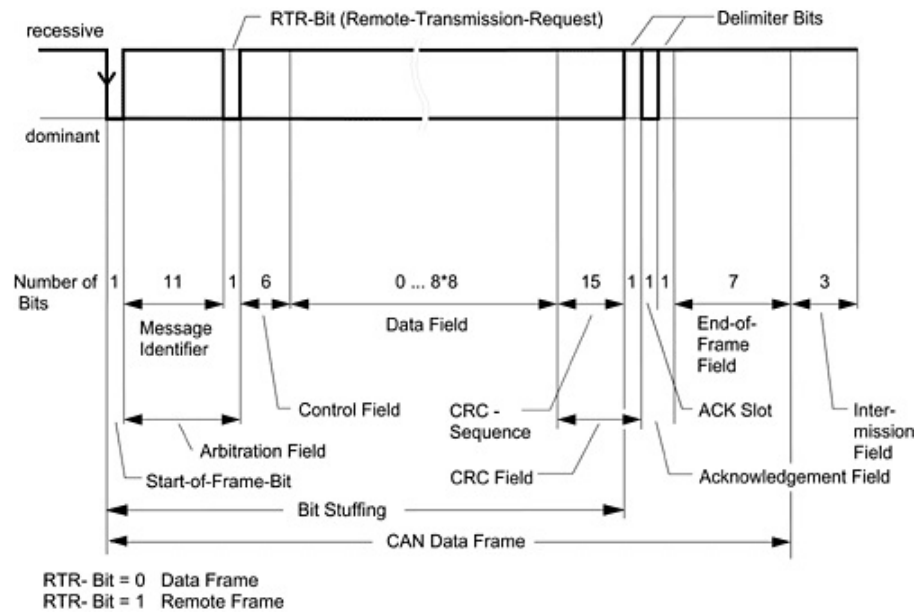


Figura 4.20: Estructura dels missatges CAN del controlador utilitzat

Un cop explicada l'estructura dels missatges de CAN, es vol explicar l'autòmat que s'ha sintetitzat per tal de gestionar els missatges i comprovar el bon funcionament del transceptor. A la figura A.59 s'ha volgut representar el conexionat entre l'autòmat que gestiona els missatges i el mòdul de CAN dissenyat.

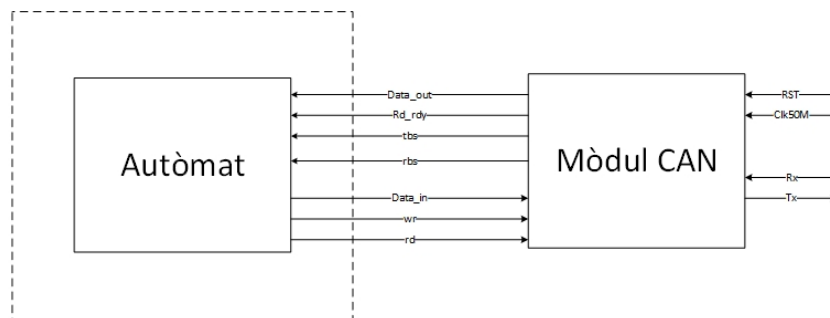


Figura 4.21: Autòmat gestor dels missatges CAN

El primer sistema dissenyat només tenia com a objectiu rebotar el missatge rebut per tal de comprovar que si l'ordinador enviava un missatge la FPGA el rebia correctament, per a aquesta finalitat l'autòmat està format per 6 estats: inici, vull llegir missatge, llegint missatge, tractament dades, vull escriure missatge i escrivint missatge. A la Figura 4.22 es pot veure en negreta l'estat de les sortides en cadascun dels estats i les transicions necessàries per passar d'un estat a un altre. Cal comentar que aquest autòmat està programat síncronament amb un rellotge de 10 MHz, com l'autòmat complet i el controlador de CAN.

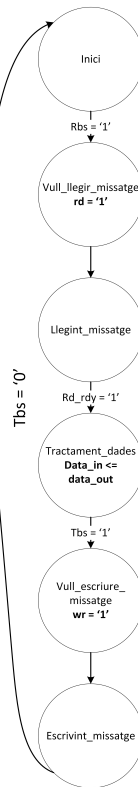


Figura 4.22: Autòmat gestor dels missatges CAN

4.5.2 Definició de l'estructura dels missatges

En aquest subapartat es busca definir els missatges de dades del sistema complet format pels 3 autòmats.

Hi ha 4 missatges diferents de CAN, 2 d'ells són missatges de control, és a dir missatges que l'ordinador envia al sistema per tal de configurar els paràmetres pertinents, i els 2 altres són missatges de resposta del sistema digital, és a dir missatges que el sistema envia a l'ordinador com a *feedback* del seu funcionament actual.

Primerament, es definirà els missatges de control. El primer missatge és un missatge de control global, el seu identificador correspon al 005 en hexadecimal, i comprèn 1 o 5 *bytes* de dades. El primer *byte* pot prendre valor 0x05 si es vol que tots els convertidors estiguin encesos, o 0xA5 si es vol que tots els convertidors estiguin apagats o 0xCA si es vol tenir un control individualitzat dels convertidors. En el cas que es vulgui tenir un control individualitzat dels convertidors, els *bytes* de dades del 2 al 5 correspondran a l'estat d'aquests. El *byte* 2 correspon a l'estat del convertidor 1, el *byte* 3 correspon a l'estat del convertidor 2 i així successivament. Cadascun d'aquests *bytes* podrà tenir el valor de 0x5A si es vol que dit convertidor s'encengui o 0xA5 si es vol que s'apagui.

El segon missatge possible és el missatge de configuració de paràmetres, que té com a identificador 0x00A en hexadecimal i el contingut de les seves dades són els valors del període, dO, d1 i el patró triat. Aquest missatge comprèn 5 *bytes* de dades. Els dos primers *bytes* corresponen al valor del període en nombre de cicles de rellotge de 10MHz. Per exemple, si es vol un període de 35μs, s'enviarà el número 350 en aquest camp de les dades. El tercer *byte* de dades correspon al valor de d0 en cicles de rellotge de valor 10MHz, el quart *byte* de dades correspon al valor de

d1 en cicles de rellotge de 10 MHz del sistema, es a dir, en unitats de 100ns. Finalment, l'últim *byte* de dades correspon al valor del patró utilitzat, considerant que el patró número 1 correspon al 000, el número 2 al 001 i així successivament.

Un cop definits els missatges de control es procedirà a definir els missatges de resposta. Aquests missatges s'enviaran cada 100ms, i serveixen per tenir un seguiment del funcionament del sistema i així poder detectar fallades. Aquests missatges de resposta també poden ser de 2 tipus, i s'enviaran consecutivament un darrera l'altre sempre que l'estat del *buffer* del bus CAN ho permeti.

El primer tipus de missatges resposta és de tipus *Status*, està format per 5 *bytes* de dades, té com a identificador 0x15A i contindrà la informació que es descriu a continuació. El primer *byte* de dades correspon l'estat del mòdul, si la placa detecta que té un pic de sobrecorrent (*overcurrent*) enviarà 0xA5 com a dada d'aquest *byte*. Si la placa detecta que té un error de sobretemperatura (*overtemperature*), enviarà un valor de 0xCC. Si la placa detecta una fallada en algun dels convertidors enviarà un valor de 0xEC i finalment, si no es detecta cap fallada de cap dels tipus descrits anteriorment, s'enviarà el valor de 0x5A que vol dir que tot funciona amb normalitat.

El segon *byte* de dades d'aquest tipus de missatge correspon a l'estat del primer convertidor, i pot prendre com a valors 0xEC si el convertidor no està present, 0xA5 si es detecta una fallada o 0x5A si tot funciona amb normalitat. El tercer *byte* dona la mateixa informació pel segon convertidor, el quart *byte* pel tercer convertidor i el cinquè *byte* pel quart convertidor.

Finalment, l'últim missatge a definir és el de tipus *Steady Parameters*, que té com a identificador 0x1A5 i conté la informació dels valors dels paràmetres T, d0, d1 i el tipus de patró que s'està reproduint. Els dos primers *bytes* de dades del missatge corresponen al valor del període T en número de cops de rellotge de 10MHz. El tercer *byte* de dades d'aquest missatge correspon al valor de d0 en número de cops de rellotge de 10MHz i el quart *byte* correspon al valor de d1 en número de cops de rellotge de 10MHz. Finalment l'últim *byte* correspon al patró utilitzat, amb el patró número 1 corresponent al valor 000, el patró número 2 corresponen al valor 001, etc.

Un cop definits els missatges que es capaç de tractar l'autòmat dissenyat per tal de gestionar els valors d'entrada s'adjunta a la Figura 4.23 l'esquema de l'autòmat de lectura dels missatges CAN i a la Figura 4.24 l'esquema de l'autòmat d'escriptura dels missatges CAN. S'ha de dir que fins que l'autòmat de lectura no ha configurat el sistema, l'autòmat d'escriptura no pot començar a evolucionar. Així doncs, jeràrquicament parlant, l'autòmat d'escriptura depèn de l'autòmat de lectura.

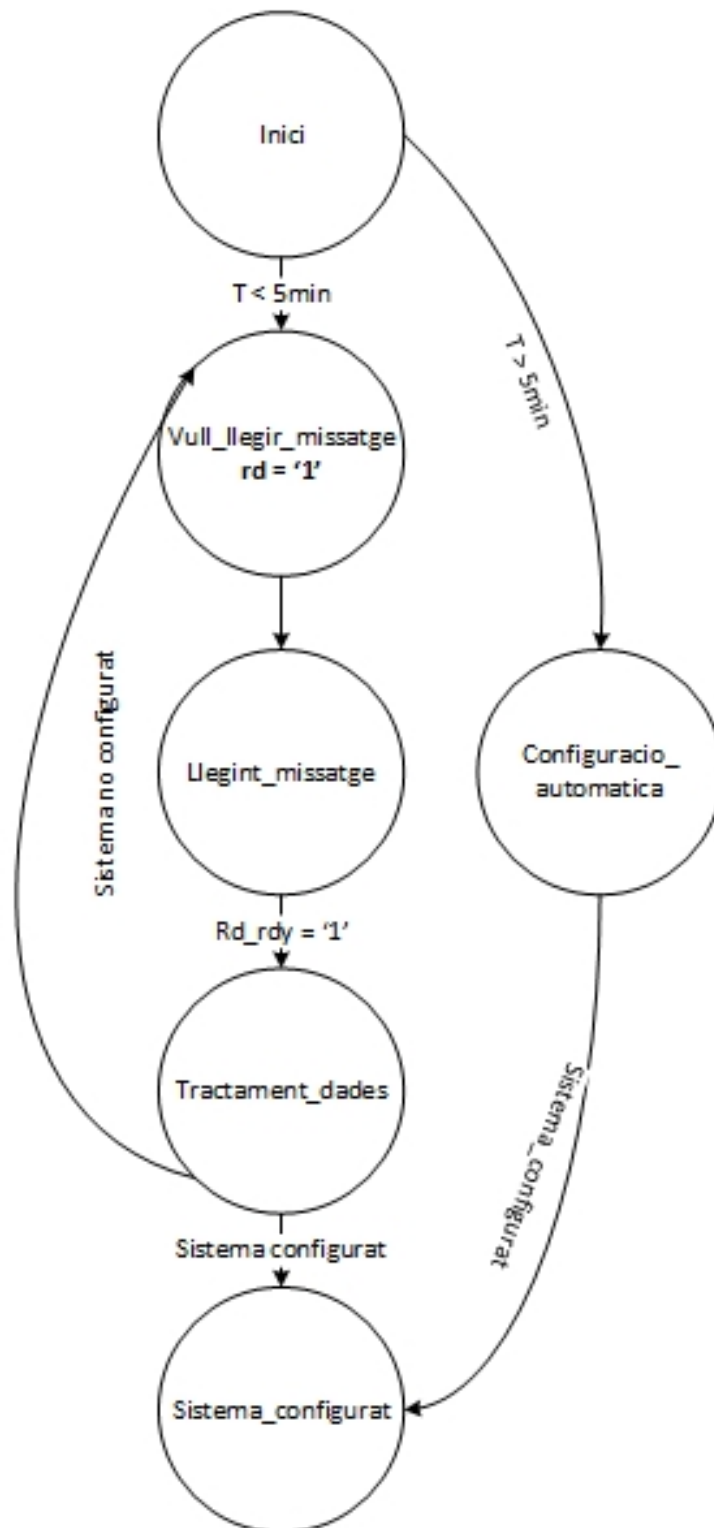


Figura 4.23: Autòmat lector dels missatges CAN

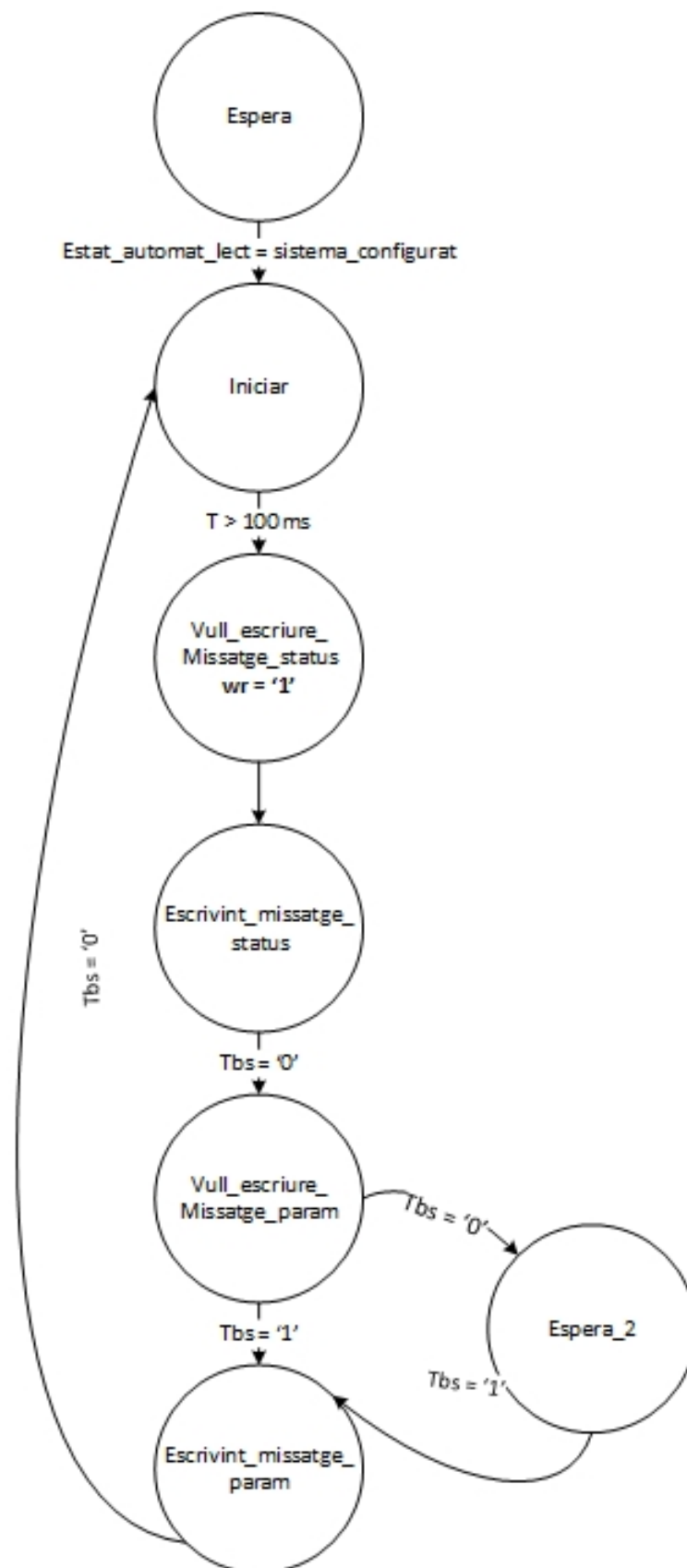


Figura 4.24: Autòmat escriptor dels missatges CAN

Capítol 5

Test i validació del sistema

L'objectiu d'aquest apartat és mostrar algunes de les proves que s'han dut a terme per garantir el correcte funcionament dels diferents autòmats dissenyats. Com que per la naturalesa del projecte s'han hagut de fer moltes simulacions, una per a cada patró i combinació de convertidors, s'ha preferit adjuntar-les totes a l'Annex A i al CD-ROM adjunt.

5.1 Validació de l'autòmat

5.1.1 Simulació mitjançant un banc de proves

En un primer pas del disseny s'ha volgut comprovar el correcte funcionament de l'autòmat dissenyat. Per a això s'ha fet una simulació a nivell de porta (*Gate work*), amb la qual s'han tingut en compte els retards deguts a l'estructura de la FPGA. Per tal que sigui més visual la simulació s'ha creat un banc de proves, que és un fitxer que reproduceix un entorn virtual per tal de comprovar el correcte funcionament del sistema. En el cas de l'autòmat que es vol comprovar, el banc de proves reproduceix la forma d'ona desitjada en funció dels estats, a la Figura 5.1 es tracta de la variable *Formes*. A la Figura 5.1 es mostra la simulació de l'autòmat on s'ha volgut comprovar el correcte funcionament del sistema implementat quant s'activen 3 convertidors a l'hora i es vol reproduir el patró número 2. En aquesta simulació el període d'activació de cada combinació de tres convertidors és de 210.500ns, que és el mínim per veure un patró complet amb la seva primera part del patró i la seva segona part del patró. De l'instant zero de la simulació a l'instant s'ha activat els convertidors 1, 2 i 3. Durant el període consecutiu s'ha activat els convertidors 1, 2 i 3; tot seguit s'ha activat els convertidors 1, 3 i 4 i finalment s'ha activat els convertidors 2, 3, i 4. En aquest apartat només s'ha explicat i inclòs una de les moltes simulacions que s'han dut a terme. Si es vol veure la resta de simulacions, es poden trobar en el CD-ROM adjunt o a l'Annex A.

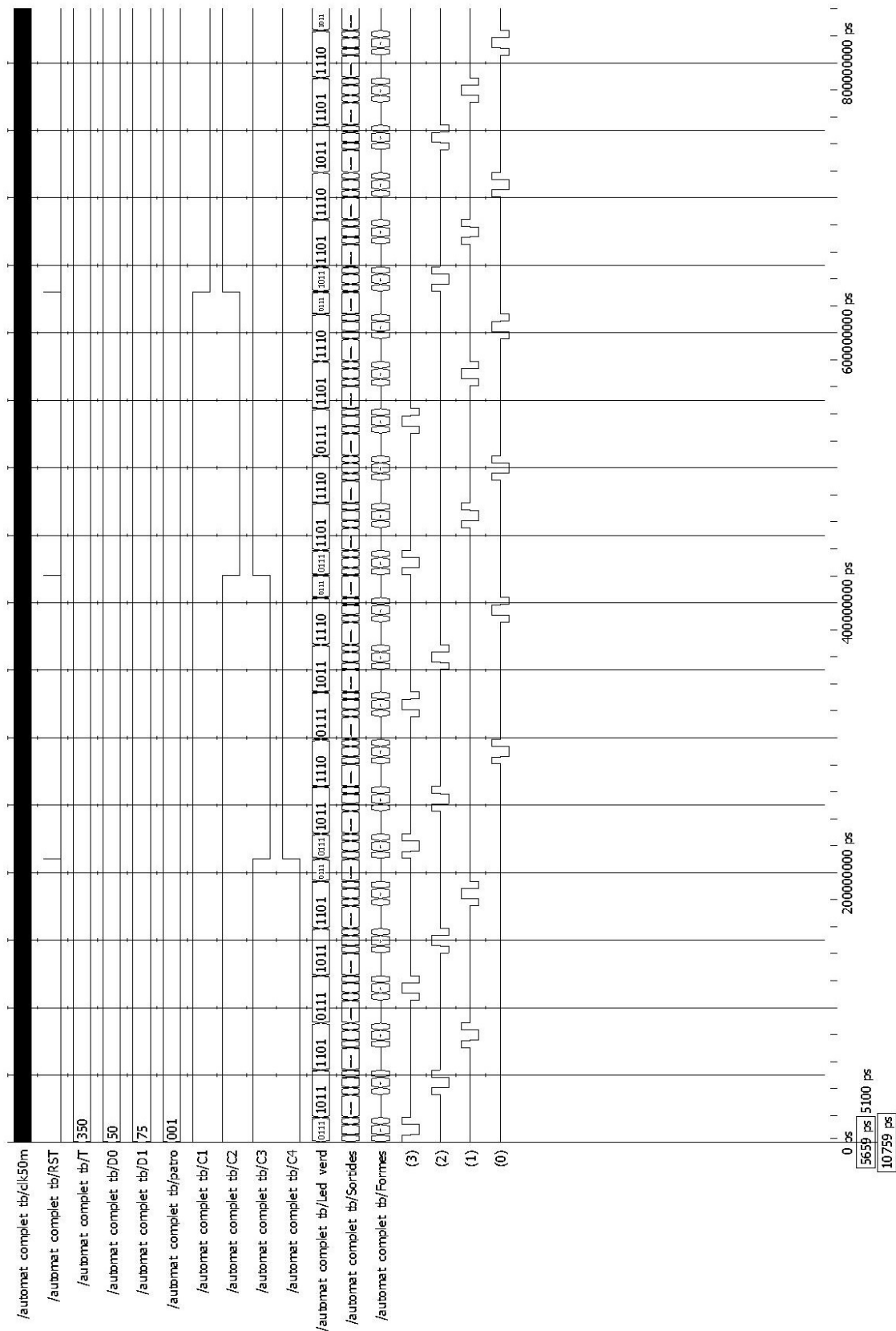


Figura 5.1: Autòmat gestor de les sortides

5.1.2 Testeig de l'autòmat mitjançant una maqueta i microinterruptors

Un cop verificat el correcte funcionament de l'autòmat amb totes les combinacions d'activació dels convertidors i per tots els patrons, s'ha volgut comprovar en un sistema real. Per a aquesta finalitat s'ha connectat la FPGA programada amb una maqueta que reproduïx el sistema de potència final. Només s'ha comprovat els polsos amb l'oscil·loscopi per un dels convertidors, la resta es verifica el seu correcte funcionament mitjançant uns LED's si estan activats o no.

Com en el cas anterior, en aquesta part de la memòria només es mostrarà el testeig realitzat per un dels patrons, a les Figures 5.3, 5.4 i 5.5 es mostren les diferents verificacions dels paràmetres que s'han verificat amb l'oscil·loscopi del patró 6; i a la Figura 5.2 es mostra la fotografia del sistema complet amb la maqueta connectada a la FPGA.

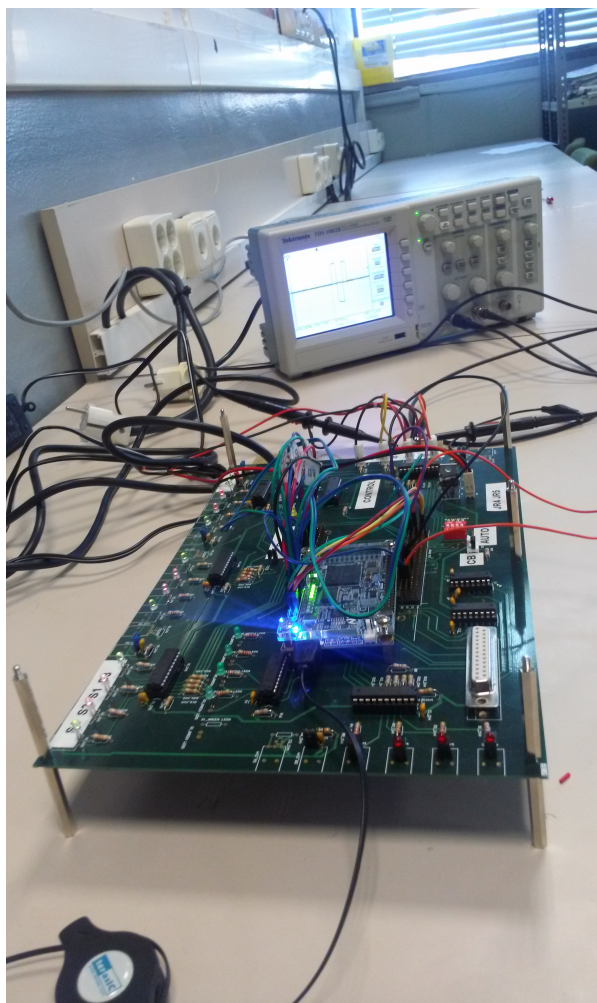


Figura 5.2: Muntatge de la maqueta amb la FPGA programada

Per realitzar aquestes proves, s'han fixat els paràmetres d0 en 50 cops de rellotge de valor 10MHz, per tant $5,00\mu s$. Si s'observa amb cura la Figura 5.3 es pot deduir que si l'escala és de $2,5\mu s$ per divisió i el temps d0 és de dues divisions, els valors experimentals corresponen amb els paràmetres programats. Pel que fa el valor de d1, s'ha fixat en 75 vegades el rellotge de freqüència 10MHz, el que correspon a $7,5\mu s$, que si s'observa la Figura 5.4 es pot veure que aquest temps correspon a 2,5 divisions, si cada divisió representa $2,5\mu s$, els valors experimentals són lògics amb els programats.

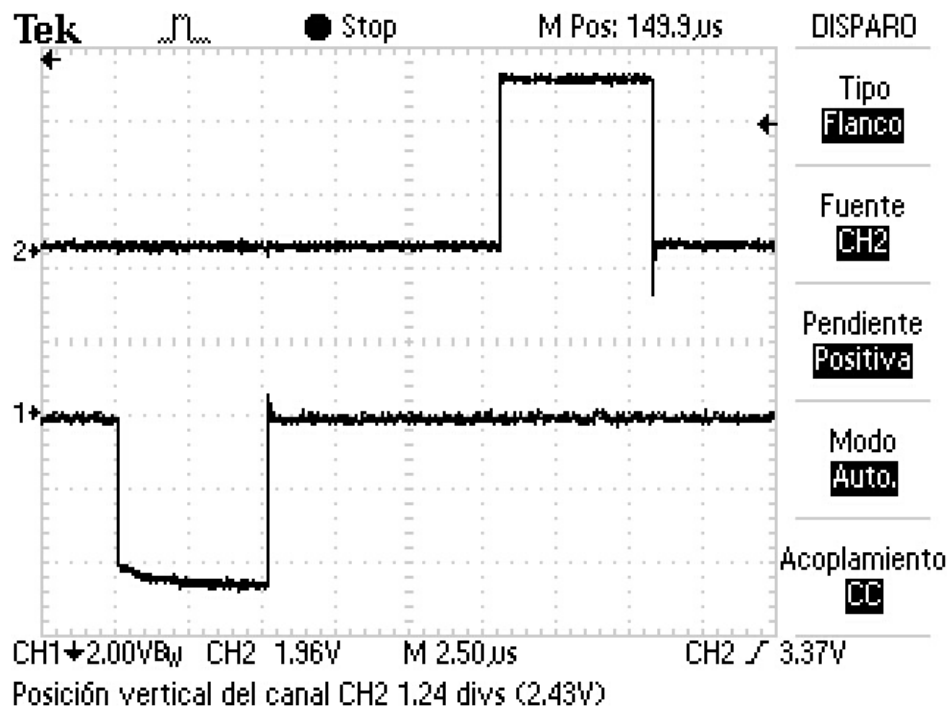


Figura 5.3: Verificació del patró número 2 amb l'oscil·loscopi

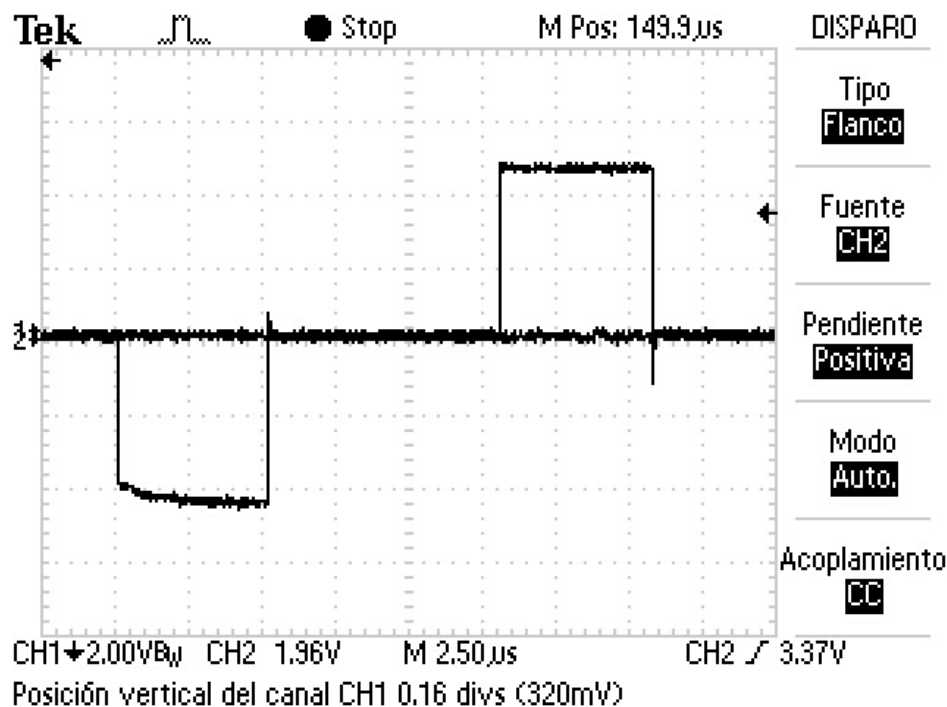


Figura 5.4: Autòmat gestor de les sortides

Finalment, l'última comprovació que s'ha fet és la del període. Al programa s'ha fixat el valor de T en 150 cops de rellotge de 10MHz; el que equival a $150\mu s$. Aguantant el gràfic de la Figura 5.5 es pot veure perfectament que el període de la ona és de 6 divisions per $25\mu s$ cada divisió, per tant, $150\mu s$.

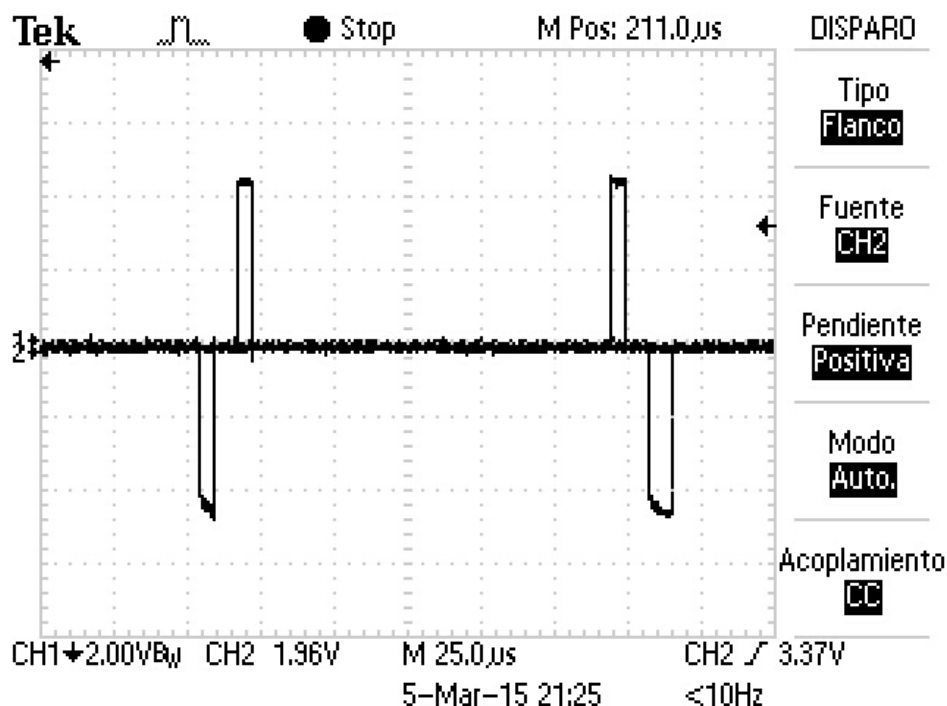


Figura 5.5: Autòmat gestor de les sortides

5.2 Mòdul CAN

En aquesta secció es mostrarà com s'ha provat el mòdul CAN simplificat pel professor Emili Lupon a partir del *IP Core de Bosch*. Per tal de simular-ho correctament, s'ha creat un banc de proves simulant dos controlador CAN, amb els seus retards pertinents. Un dels controlador (dut_1 en el banc de proves) envia el missatge, i l'altre (dut_2 en el banc de proves) l'ha de rebre correctament. En la simulació de la Figura 5.6 el mòdul transmissor envia un missatge en hexadecimal de valor 55423F0000000000000000.

5.2.1 Simulació del mòdul CAN

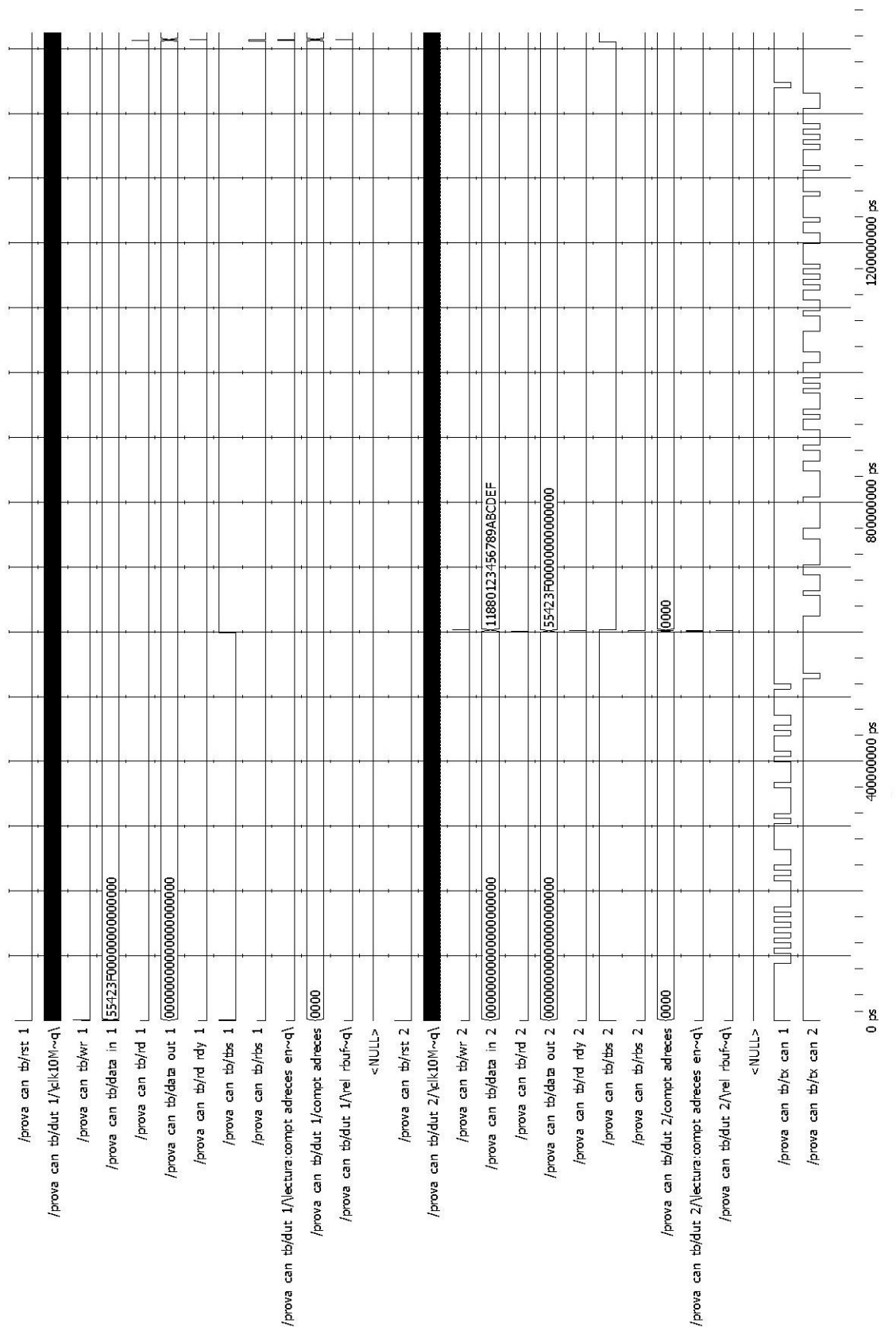


Figura 5.6: Simulació del mòdul CAN amb un *Testbench*

5.2.2 Testeig del mòdul CAN

Un cop simulat el mòdul CAN mitjançant un banc de proves, s'ha volgut comprovar mitjançant el programa CanKing i amb la FPGA que el disseny funciona. Per a això s'ha dissenyat un autòmat que té com a única funció detectar quan hi ha un missatge en el *buffer* d'entrada, llegir el missatge i escriure'l amb la mateixa informació en el *buffer* de sortida quant aquest està lliure. Aquest autòmat també s'ha testat inicialment mitjançant simulació (Figura 5.9 i seguidament s'ha procedit a testar-ho en el sistema real, la Figura 5.7 mostra una imatge del missatge transmès amb l'oscil·loscopi i la Figura 5.8 mostra una captura de pantalla de l'ordinador on es pot veure com la finestra del *software* ha transmès un missatge i l'ha rebut al cap de poc temps. El missatge mostrat a la captura de pantalla sembla no correspondre al missatge transmès a la simulació, però això és degut a que el *software* treballa amb decimal i a la simulació s'ha donat el valor del missatge en hexadecimal.

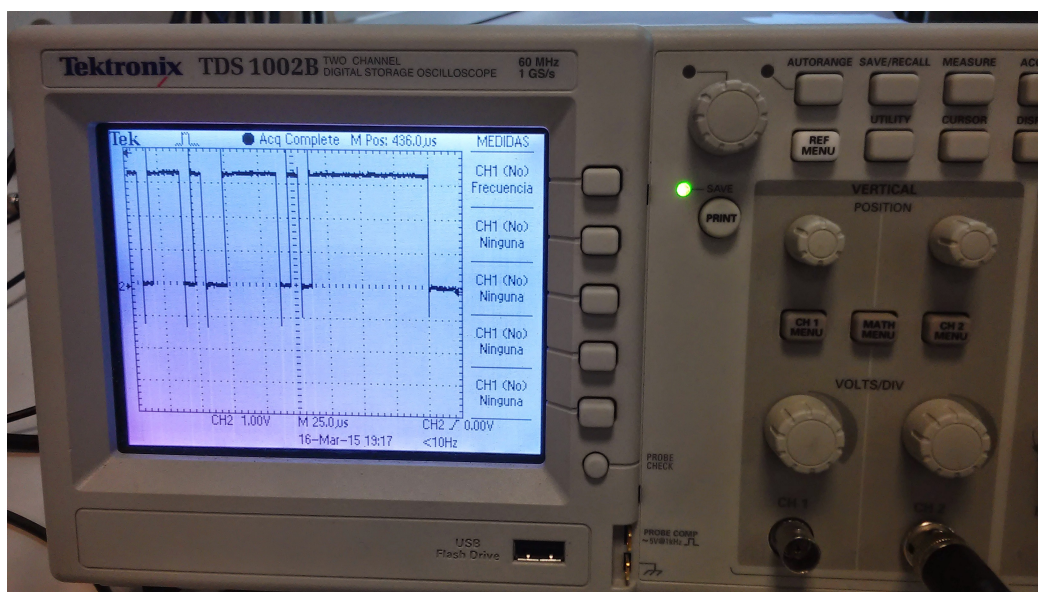


Figura 5.7: Visualització del missatge CAN enviat a través de l'oscil·loscop

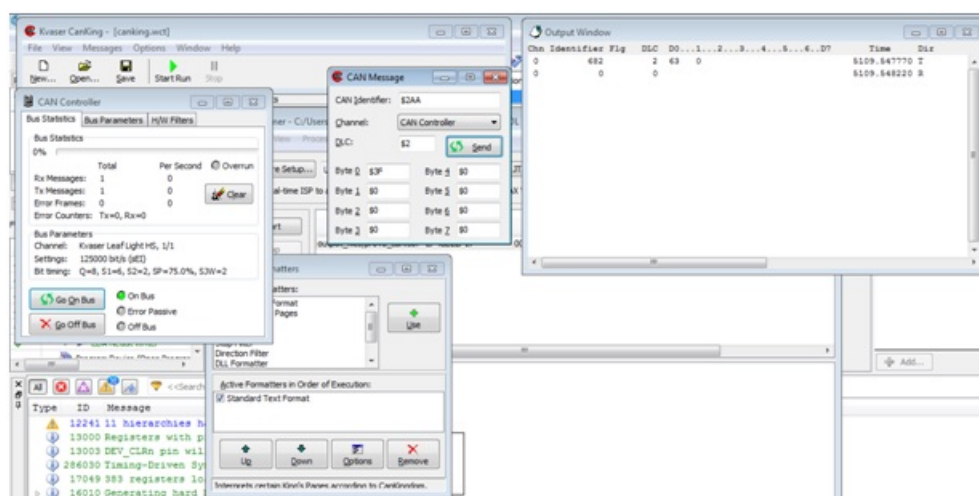


Figura 5.8: Captura de pantalla del correcte enviament d'un missatge CAN

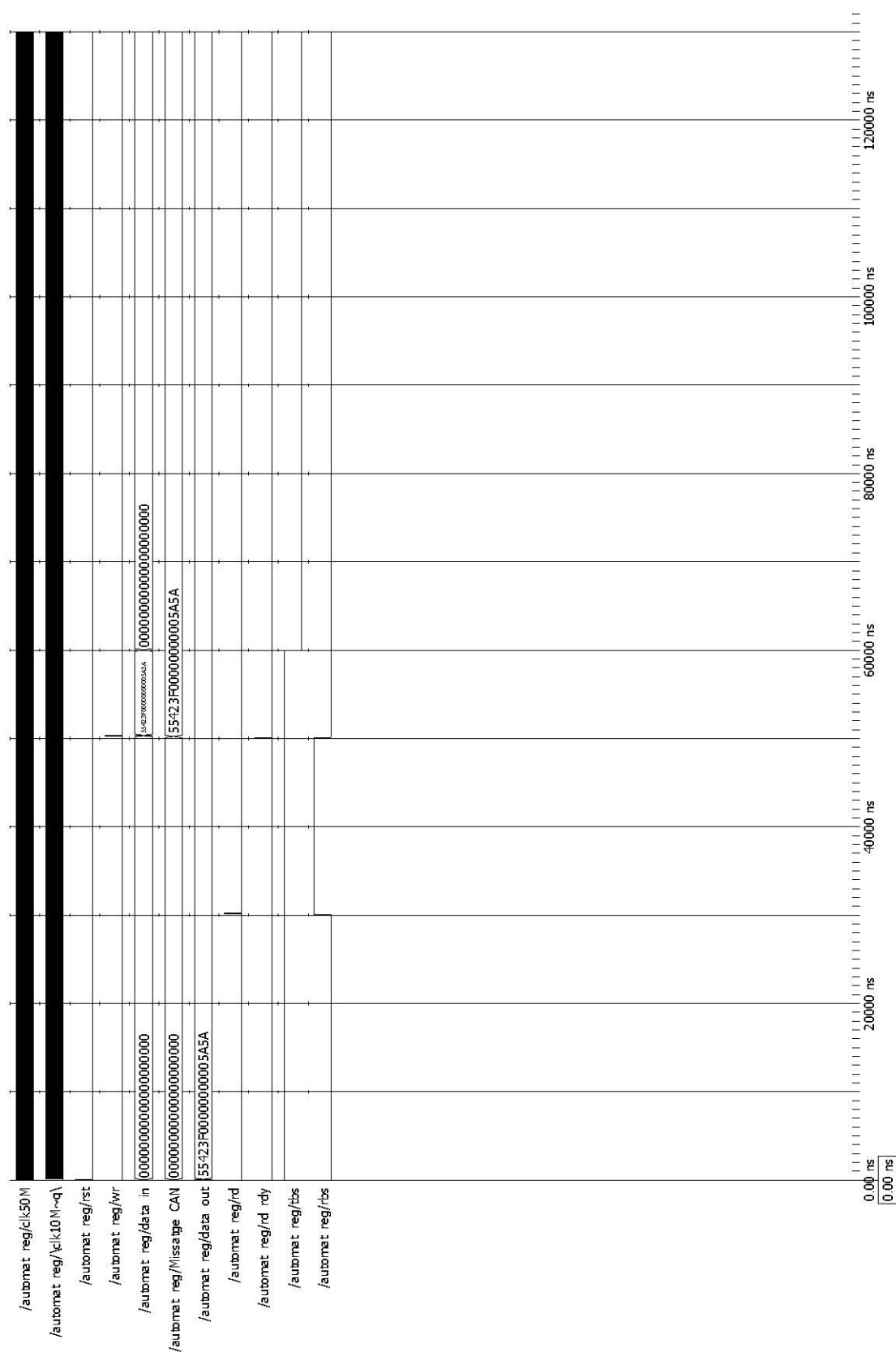


Figura 5.9: Simulació de l'autòmat registre de missatges CAN

Finalment s'ha volgut deixar constància del muntatge experimental i connexionat de les plaques i cables amb la fotografia de la Figura 5.10.

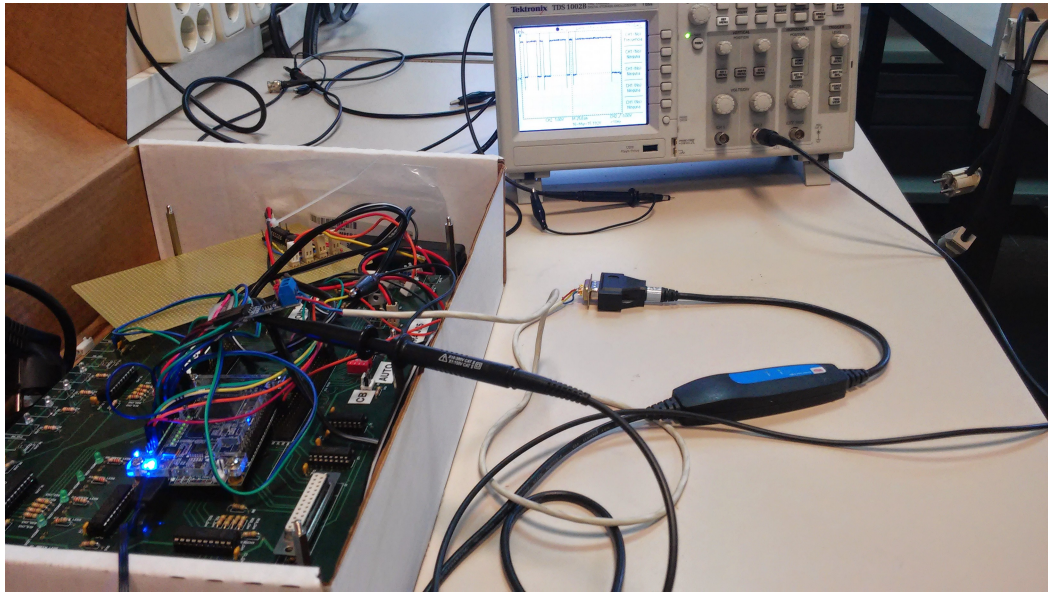


Figura 5.10: Muntatge del sistema complet amb comunicació CAN-USB

5.3 Simulació del conjunt

Per tal de comprovar que tot el sistema descrit funciona correctament s'ha optat com en els casos anteriors per simular únicament l'autòmat encarregat de gestionar els missatges CAN.

5.3.1 Simulació de l'autòmat encarregat de gestionar la comunicació mitjançant CAN

Per tal de veure com s'ha procedit per a comprovar el funcionament del sistema, a la Figura 5.11 es mostra els autòmats que s'han implementat i quina interfície tenen. Finalment la Figura 5.12 mostra com l'autòmat configura els paràmetres desitjats correctament en funció dels valors de les dades transmeses. A més a més per a realitzar aquesta simulació s'ha minimitzat el temps de resposta i es poden veure 2 missatges de resposta a la simulació.

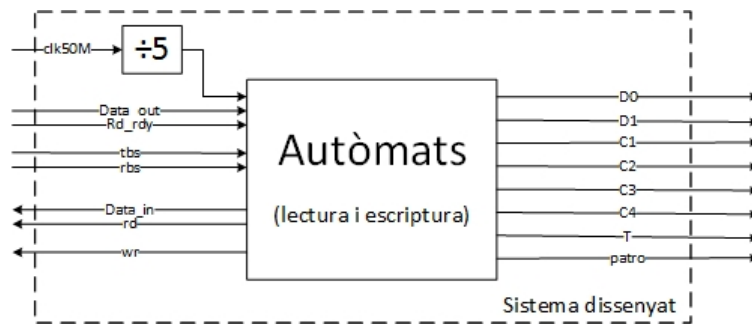
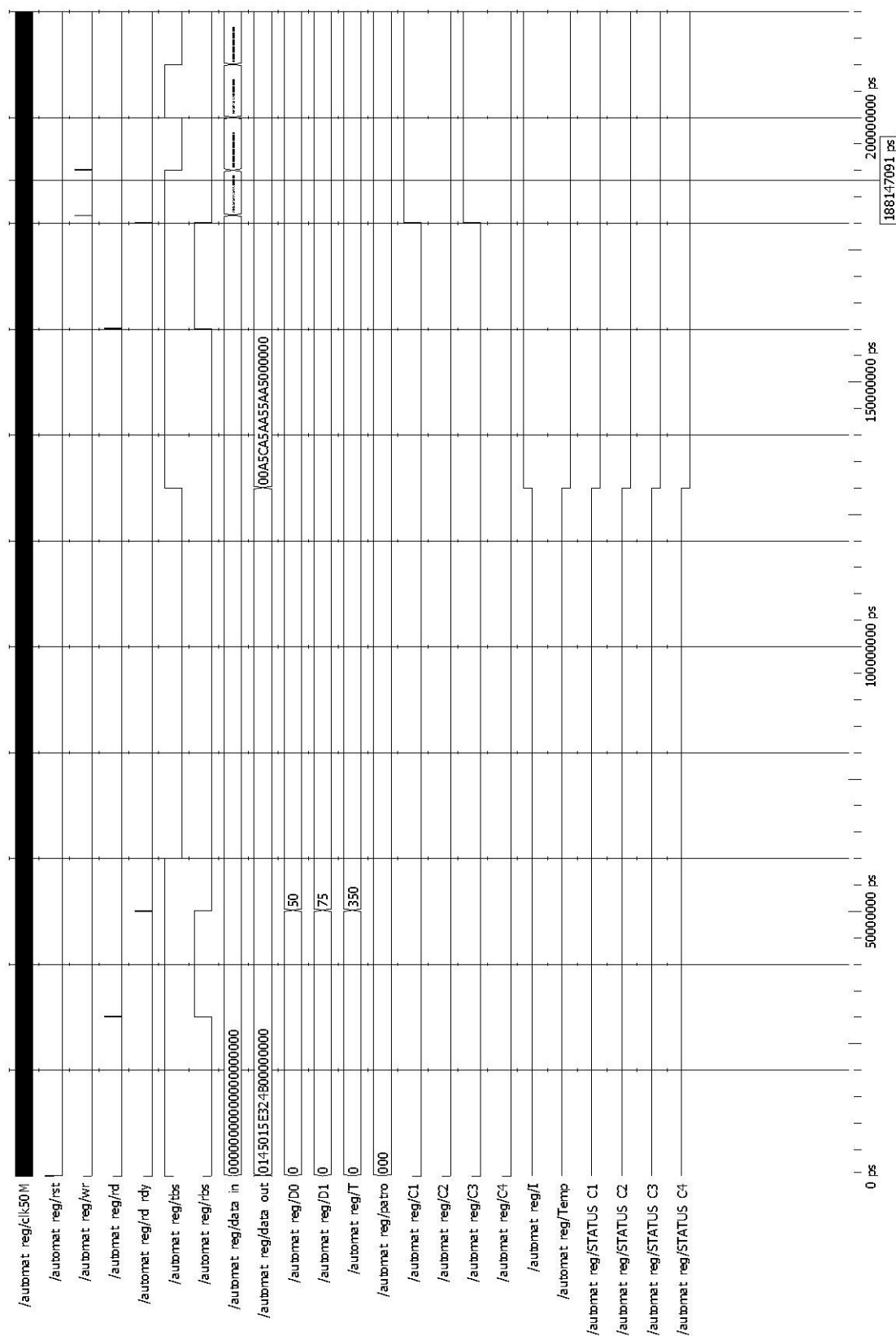


Figura 5.11: Autòmat gestor dels missatges CAN



Capítol 6

Conclusions

L'objectiu d'aquest projecte era el disseny i desenvolupament d'un sistema de control digital per a quatre generadors de polsos de dos nivells. Es volia que fos programable mitjançant comunicació CAN, utilitzant missatges predefinitos amb identificadors concrets; i com a objectiu secundari es desitjava abaratir costos del *Hardware* i llicències de *Software* en comparació amb el sistema predecessor.

Al llarg del desenvolupament de l'actual projecte s'han realitzat les tasques que es descriuen a continuació. En un primer pas de la simulació s'ha descrit en VHDL l'autòmat encarregat de gestionar els polsos que formaran els patrons de sortida. S'ha comprovat el seu correcte funcionament mitjançant simulació i posteriorment, s'ha provat en una maqueta que reproduïx el sistema real.

En un segon pas del disseny, s'ha implementat el mòdul de CAN, s'ha testat mitjançant simulació i seguidament, s'ha provat en un sistema real.

Finalment, s'ha fusionat el primer autòmat implementat amb el mòdul de CAN, de tal forma que el controlador CAN rep els missatges a través del bus, els tracta per extreure'n la informació desitjada i finalment envia els valors dels paràmetres de configuració dels patrons de polsos a l'autòmat principal.

Al llarg d'aquest projecte, s'ha implementat tots els autòmats i processos necessaris per tal que el sistema funcioni correctament. A més a més, s'han provat cadascun dels autòmats per separat, i posteriorment s'han provat conjuntament en una maqueta del sistema real.

Com a conclusió final es pot dir que s'ha assolit un sistema funcional, que respon a les necessitats inicials del projecte. S'ha obtingut un sistema compacte, modular i de cost inferior a l'inicial.

Propostes i possibles ampliacions

Un cop enllestit el projecte, en aquest apartat es vol deixar constància d'una sèrie de possibles ampliacions o propostes de millora de cara al futur.

En primer lloc, s'ha de dir que l'autòmat responsable de generar els polsos que generaran els patrons està format per 367 estats. Una proposta de millora seria la de minimitzar el número d'estats.

Una segona proposta, seria la de crear un nou tipus de configuració del sistema que consistiria en que l'usuari mitjançant potenciòmetres triï el valor dels paràmetres programables del sistema. És per aquest motiu, que s'ha triat una FPGA amb un convertidor A/D, per de cara al futur poder realitzar ampliacions d'aquest caire.

Una tercera proposta consistiria en aprofitar que sobren pins a la placa FPGA escollida, per incloure un visualitzador (LCD (*Liquid Cristal Display*)) que mostrés per pantalla l'estat de configuració del sistema i els valors en temps real dels paràmetres programables.

Finalment, podria ser convenient dissenyar una PCB (*Printed Circuit Board*) que englobés tot el sistema, és a dir el mòdul CAN, la FPGA i les sortides dels convertidors; en lloc de re-aprofitar la base dels pins del DSP i afegir les dues plaques amb cables. Alternativament a aquesta proposta, es podria fins i tot considerar l'opció de dissenyar una PCB amb tot el sistema englobat, és a dir sense utilitzar el *kit* de desenvolupament de la FPGA, sinó incloure el xip EP4CE22F17C6N amb els components necessaris pel seu correcte funcionament, el transceptor CAN que treballa a 3,3V i la resta de components de la maqueta actual. Agrupar-ho tot en una sola placa permetria compactar el disseny del *hardware* actual.

Estudi econòmic

Pel desenvolupament de les activitats relacionades amb aquest projecte, la majoria de recursos necessaris han estat recursos humans, arran de les hores dedicades per l'estudiant i els seus tutors a realitzar les diferents activitats. Per altra banda es té l'adquisició de material per a bolcar el programa i simular-lo. Aquestes seran les partides més importants a comptabilitzar. Per altre banda, cal comentar que la partida del sistema de potència no es tindrà en compte en aquest apartat, ja que existia anteriorment a aquest projecte i no s'ha efectuat cap despesa per a reposar-ne cap part.

6.1 Recursos humans

El cost de personal representarà el cost en concepte de totes les hores invertides en el projecte. Els costos de personal s'han dividit segons les diferents tasques realitzades, tal com es pot veure a la Taula 6.1.

Concepte	Preu per hora	Hores invertides	Cost total
Investigació estudiant	35€/h	440	15.400€
Investigació tutor	100€/h	120	12.000€
Simulació	25€/h	120	3.000€
Documentació	20€/h	120	2.400€
TOTAL			32.800€

Taula 6.1: Cost del personal del projecte

6.2 Recursos materials

Per recursos materials s'entén com a tot allò que s'ha hagut d'adquirir pel muntatge del prototip, així com tot el material de suport que ha permès la realització del mateix. Així doncs, en el cost d'aquest projecte no es comptabilitzarà el cost del sistema de potència a controlar, ni el de la placa de desenvolupament PFGA cedida pel laboratori de la universitat de Terrassa. A la Taula 6.2 es pot veure la recapitulació dels costos dels elements adquirits exclusivament per a aquest projecte.

Concepte	Preu unitari	Cost total
Placa de CAN comprada	10,80€	10,80€
Maqueta	150€	150€
Material per fabricar la placa CAN	8,30€	8,30€
FPGA	69€	69€
Cables	5,50€	5,50€
Enquadernació Memòria	30€	60€
Enquadernació Annexos	30€	30€
CD's	2,20€	11€
TOTAL		344,60€

Taula 6.2: Cost material del projecte

6.3 Recursos de R+D

En aquesta secció es pretén comptabilitzar els costos de tots aquells recursos utilitzats en el projecte, però que no formen part directament del mateix com, per exemple, el material informàtic o l'aparamenta del laboratori que s'ha hagut d'obtenir o pagar. Cal destacar que s'ha procurat sempre utilitzar programes *Opensource*, o amb llicència de *Demo* i així poder abaratir els costos d'aquest apartat. A la Taula 6.3 es mostren els diferents programes utilitzat pel desenvolupament d'aquest projecte, i el seu cost.

Concepte	Preu unitari	Amortitzat
Quartus II (versió web)	0,00€	0,00€
ModelSim (versió web)	0,00€	0,00€
Kvaser CanKing	0,00€	0,00€
Sharelatex (versió web)	0,00€	0,00€
IP Core de Bosch	0,00€	0,00€
Ordinador	700€	150€
Cable CAN	180€	18€
Oscil·loscopi	2.500€	100€
TOTAL		268€

Taula 6.3: Cost recursos R+D

6.4 Cost total del projecte

Finalment, el cost total del projecte és de 33.412,60€, on la majoria de les despeses són degudes a costos de personal. Pel que fa la placa FPGA utilitzada, té un cost de 69€, mentre que el sistema funcionant amb un DSP tenia un cost de 400€; així doncs a llarg termini, aquesta sol·lució serà més econòmica que la anterior.

Concepte	Cost total
Recursos humans	32.800€
Recursos materials	344,60€
Recursos de R+D	268€
Cost TOTAL	33.412,60€

Taula 6.4: Cost total del projecte

6.5 Pressupost del projecte

En aquesta secció es busca calcular el pressupost de la totalitat del projecte, és a dir, en el cas que s'hagués de vendre quin preu se li hauria de fixar per tal de cobrir costos, tenir beneficis i pagar impostos. A la Taula 6.5 es veuen reflectits els càlculs que s'han efectuat.

Concepte	Cost total
Cost total del projecte	32.412,60€
Beneficis (20%)	6.482,52€
Cost final del projecte	38.895,12€
Impostos (21%IVA)	8.167,98€
Pressupost FINAL	47.063,1€

Taula 6.5: Pressupost total del projecte

Impacte mediambiental

S'acostuma a pensar que els projectes que es duen a terme no influiran en l'entorn de les persones presents ni les persones futures. Si bé és cert que no hi ha unitats ni fórmules exactes per a quantificar aquestes conseqüències, s'ha de destacar que a dia d'avui es tenen i s'han de tenir en compte, per a això existeix una directiva que té com a objectiu procurar avaluar-les.

La Directiva 85/377/CE del 27 de juny de 1985, d'Avaluació d'Impacte Ambiental defineix l'Estudi d'Impacte Ambiental com:

L'instrument clau per poder portar a terme una política ambiental preventiva, és a dir, que pretengui evitar que es produeixi el deteriorament del medi ambient en lloc d'invertir posteriorment en restaurar-lo i recuperar-lo, la qual cosa no sempre és possible i, generalment, és més costós evitar el deteriorament intervenint a temps. Per a aconseguir-ho, s'ha de conèixer amb anterioritat que es pretén fer i com es farà. El procediment per autoritzar, regular i posar condicions als projectes o actuacions a desenvolupar és el que es coneix com l'Avaluació d'Impacte Ambiental. Així doncs, es realitzarà l'estudi d'impacte ambiental sobre la fase de disseny del prototipus i s'analitzarà també la repercussió mediambiental que ocasionarien si s'arribessin a implantar.

6.6 Anàlisi de materials durant la fase de desenvolupament

6.6.1 La normativa RoHS

Dins de la llei d'impacte ambiental d'àmbit europeu es contempla una directiva que afecta als materials utilitzats en aparells electrònics. Aquesta directiva és coneguda amb les sigles RoHS (2002/95/EC) per l'acrònim anglès de *Restriction of Hazardous Substances* i restringeix l'ús de sis materials perillosos en la fabricació de diversos equips electrònics. Aquests materials són els que es detallen a la Taula 6.6.

Substància	Simbol atòmic	Quantitat màxima permesa
Plom	Pb	0.1%
Mercuri	Hg	0.1%
Cadmi	Cd	0.01%
Crom Hexavalent	Cr(VI)	0.1%
Polibromobifenils	PBB	0.1%
Polibromodifenilèters	PBDE	0.1%

Taula 6.6: Substàncies limitades i en quina mesura per la normativa RoHS

De la llista de substàncies que es mostren a la taula anterior, els quatre primers fan referència a metalls pesants i els dos darrers són compostos orgànics que intervenen en la fabricació d'alguns plàstics ignífugs.

Així doncs, tenint present aquesta normativa, en cap moment s'ha fet servir components que no la compleixin. La placa que s'ha utilitzat per a bolcar el programa és una placa comercialitzada en el mercat i adequadament etiquetada conforme compleix la normativa. De la mateixa manera, l'estany que ha intervingut en les soldadures de la placa de CAN, és estany sense plom i les lluminàries de plasma que s'utilitzaran per al sistema de potència venen etiquetades adequadament conforme compleixen la normativa.

6.6.2 El desmantellament i el reciclatge

Per tal de garantir el correcte reciclatge i desmantellament de l'equip de potència utilitzat s'ha tingut en compte la directiva europea que tracta sobre la recuperació d'equips electrònics i elèctrics, és a dir, la 2002/96/EC de Residus d'Aparells Electrònics i Elèctrics (RAEE). Aquesta té com a objectiu reduir la quantitat d'aquests residus i la perillositat dels components que el formen, a més de fomentar la re-utilització dels aparells i la valoració dels seus residus. Aquesta directiva va entrar en vigor el 13 d'agost del 2005.

Per tal d'aconseguir aquests objectius, s'ha ideat un sistema modular on cada part es pot reciclar i reutilitzar per separat. La placa de control digital és independent de la placa de potència, i cada convertidor i càrrega es podria canviar independentment de la resta si un d'ells fallés.

6.7 Anàlisi de l'impacte del projecte

A l'hora d'estudiar l'impacte mediambiental d'aquest projecte, és primordial tenir clar que es tracta d'un projecte de descripció de *hardware* en llenguatge de descripció VHDL, per tant s'haurà d'estudiar l'impacte que tindran les instal·lacions que es portaran a terme en els diferents llocs, no l'impacte del desenvolupament del projecte pròpiament. Aquest apartat es dividirà dos grans subapartats, en primer lloc s'estudiarà l'impacte mediambiental dels materials (làmpades de plasma) i seguidament, l'impacte mediambiental energètic.

6.7.1 Impacte mediambiental dels materials

El sistema de potència que es controla està format per quatre convertidors, aquests tenen una càrrega d'una lluminària de plasma. Amb les tecnologies existent actualment al mercat, les lluminàries de plasma tenen una vida útil de 50.000 hores. El consum de cada lluminària oscil·la entre 160W·h i 230W·h, i en principi només estan previstos fabricar 4 sistemes que estaran en funcionament les 24 hores del dia els 7 dies de la setmana.

Amb un senzill càlcul es pot observar que el consum anual dels 4 sistemes que es volen implantar és de:

$$200\text{W}\cdot\text{h} * 4 \frac{\text{lluminaries}}{\text{sistema}} * 4 \frac{\text{sistemes}}{\text{implantats}} * 24 \frac{\text{h}}{\text{dia}} * 7 \frac{\text{dies}}{\text{setmana}} * 52 \frac{\text{setmanes}}{\text{any}} * 1\text{any} = 27.955.200\text{W}\cdot\text{any}$$

Fent els càlculs pertinents es pot extreure que cada 5,7 anys s'haurà de canviar les càrregues dels convertidors però, en contrapartida, s'haurà aconseguit potabilitzar

$$20 \frac{\text{L}}{\text{s}} * 3600 \frac{\text{s}}{\text{hora}} * 24 \frac{\text{h}}{\text{dia}} * 365 \frac{\text{dies}}{\text{any}} * 4 \text{ convertidors} = 2522,88 \frac{\text{m}^3}{\text{any}} \text{ d'aigua.}$$

Aquest projecte s'ha realitzat com a resposta a la necessitat de crear un sistema de control més eficient i ràpid que l'existent, i així obtenir un sistema de potabilització de d'aigua per a implementar industrialment. Bé doncs, com a conclusió dels càlculs realitzats anteriorment, es pot extreure que amb aquest projecte es podrà potabilitzar $2.522,88 \frac{\text{m}^3}{\text{any}}$ d'aigua amb un consum energètic de 27.955.200W·any.

6.7.2 Impacte mediambiental energètic

El segon tipus d'impacte mediambiental considerat en aquest projecte és l'energètic. Al full de "*Nota informativa sobre la metodologia de estimación del mix eléctrico por parte de la oficina catalana del cambio climático (OCCC)*" referenciat a la Bibliografia es troba la taula 6.7 que mostra la relació que existeix entre producció de CO₂ i consum elèctric. Amb el consum calculat

	2008	2009	2010	2011	2012	2013	2014
Mix eléctrico (g CO ₂ /kWh)	313	297	206	267	300	248	267

Taula 6.7: Taula de producció de CO₂ en funció del consum.

a l'apartat anterior i el valor del coeficient d'equivalència de l'any 2014 (no es disposa de les dades de l'any 2015) es pot extreure que la producció de CO₂ deguda al sistema desenvolupat és igual a $27.955,2\text{kW}\cdot\text{any}\cdot 267\text{g CO}_2/\text{kWh}$.

Desenvolupament del projecte per fases

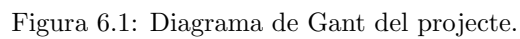
En aquest capítol del projecte, es vol deixar constància del procés de confecció d'aquest últim. Amb aquest propòsit s'ha realitzat un diagrama de Gant, on es deixa constància del temps que s'ha invertit en realitzar cadascuna de les seves parts.

Cal destacar, que en el esquema no s'aprecia, quines tasques són imprescindibles d'acabar, abans de començar la següent, per això es comentaran aquí.

Pel que fa el desenvolupament del *hardware* en VHDL, el primer que s'ha de fer és la seva descripció, tot seguit es pot passar a la simulació. Si s'observa bé la Figura 6.1, es pot constatar que els temps de descripció i simulació se sobreposen durant un curt període. Això és degut a que primer es descriu el *hardware* en VHDL i, en realitzar les primeres simulacions, aquestes mostren un mal funcionament de l'autòmat i per tant s'ha de modificar la descripció inicial.

Posteriorment a la simulació, quant s'ha comprovat que funciona perfectament es passa a l'experimentació, és a dir a pujar el programa testat en la placa FPGA i connectar-la a la maqueta i/o l'ordinador per tal de verificar que el comportament del sistema real correspon amb el simulat anteriorment. Aquests intervals de temps solen ser molt petits, ja que en principi si la simulació és correcte, el programa no té cap motiu per no funcionar en el sistema real. Si menys no, en algun cas ha succeït que les simulacions funcionaven, però a la vida real certa variable anava amb lògica negativa i per tant s'ha trigat més en que funcionés el prototip.

Finalment, cal comentar que la memòria s'ha procurat anar redactant a mida que s'anava desenvolupant el projecte.



Agraïments

La redacció i lliurament d'aquest projecte, representa el final d'una etapa molt important de la meua vida. Per això, crec que no només haig d'agrair haver arribat a entregar aquest projecte als qui m'han ajudat a dur-lo a terme, sinó a totes aquelles persones que han estat allà al llarg de la carrera i que per tant han fet possible que jo a dia d'avui estigui entregant aquest escrit. En primer lloc, voldria agrair el suport que he rebut a casa, perquè si bé és cert que qui es presentava als exàmens era jo, a casa tothom els patia. Gràcies per ser allà, aguantar-me i recolzar-me en èpoques difícils!

En segon lloc, voldria agrair a tots els amics de la carrera amb els quals he compartit tardes, nits i caps de setmana d'estudi. Gràcies a tots per acompanyar-me durant aquest llarg recorregut. Gràcies per fer-nos costat tant moral com emocional!

En tercer lloc, gràcies a tots els professors de la carrera per fer de mi la persona que sóc ara, per ensenyar-me no només el contingut de les assignatures, sinó a madurar i superar situacions difícils, d'exàmens o de gran pressió.

Finalment, però no menys important, agraeixo al professor Juan-Manuel Moreno per donar-me la oportunitat de desenvolupar aquest projecte; i agraeixo molt especialment al professor Emili Lupon per estar sempre al seu despatx i disposat a resoldre els meus dubtes, tant al llarg de la intensificació com durant el desenvolupament d'aquest projecte. Moltes gràcies per tots els coneixements que m'ha aportat i per totes les estones invertides en desenvolupar el controlador CAN i en fer-me aprendre!

Moltes gràcies a tots!

Bibliografia

- [1] Altera: DE0 NANO User Manual,
http://www.altera.com/en_US/pdfs/literature/ug/DE0_Nano_User_Manual_v1.9.pdf
- [2] Philips: CAN Controller SJA1000 Stand-alone Datasheet,
http://www.nxp.com/documents/data_sheet/SJA1000.pdf
- [3] Emili Lupon i Rosés. *Sistemes electrònics digitals. Pràctiques de laboratori*. Setembre 2011.
- [4] Emili Lupon i Rosés. *Mòdul 1: Introducció* Setembre 2011.
- [5] Emili Lupon i Rosés. *VHDL per a dispositiu lògics programables*. Setembre 2011.
- [6] Oficina Catalana del Cambio Climático: Nota informativa sobre la metodologia de la estimación del mix eléctrico por parte de la Oficina Catalana del Cambio Climático (OCCC)
http://canviclimatic.gencat.cat/web/.content/home/reduex_emissions/factors_emissio_associats_energia/150213_Notametodologicamix_cast.pdf

Part II

Annexes

Annex A

Simulacions i proves realitzades

A.1 Simulació de l'autòmat

En una primera etapa de la programació, s'ha simulat l'autòmat imposant uns valors per defecte als paràmetres configurables. En aquest cas concret, s'ha fixat el valor de la variable corresponent al període T en 350, $d0$ en 50, $d1$ en 75. Tenint en compte que el rellotge utilitzat per l'autòmat és de 10MHz, això vol dir que el període triat és de $350 \times 10 \text{ ns} = 3500 \text{ ns}$. Fent el mateix càlcul pels paràmetres $d0$ i $d1$ obtenim que el valor de $d0$ és de 500 ns i $d1$ 750 ns. La numeració dels patrons va del 000, que correspon al patró número 1, al 101, que correspon al patró número 6.

Per a cada patró s'han realitzat 4 simulacions diferents, per tal de comprovar el correcte funcionament del sistema per a totes les combinacions possibles d'encesa i apagament dels convertidors. La primera simulació busca verificar el correcte funcionament del sistema quant només s'activa un convertidor simultàniament.

La segona simulació busca verificar el correcte funcionament del sistema quan s'encenen dos convertidors a l'hora. Durant la simulació s'ha considerat totes les combinacions possibles, tenint en compte que encendre el convertidor 1 a l'hora que el convertidor 2 és equivalent a encendre el convertidor 2 a l'hora que el convertidor 1.

La tercera simulació busca verificar el correcte funcionament del sistema quan s'encenen tres convertidors a l'hora. Durant la simulació s'han considerat totes les combinacions possibles, i aquí també s'ha considerat que l'ordre en el qual s'encenen els convertidors no importa, i només s'ha tractat com a un únic cas.

Finalment, la última simulació que s'ha dut a terme és la que activa tots quatre convertidors simultàniament.

Per tal de fer una simulació intuïtiva, s'ha creat un fitxer tipus banc de proves per tal d'intentar representar les formes d'ona característica de cadascun dels patrons. Aquestes formes d'ona estan representades a la variable Formes de 4 bits.

Totes les simulacions descrites anteriorment s'han dut a terme pels 6 patrons. A continuació es mostren les gràfiques extretes. Per consultes més acurades es poden trobar els fitxers .wlf en el CD-ROM adjunt.

A.1.1 Simulació del patró número 1

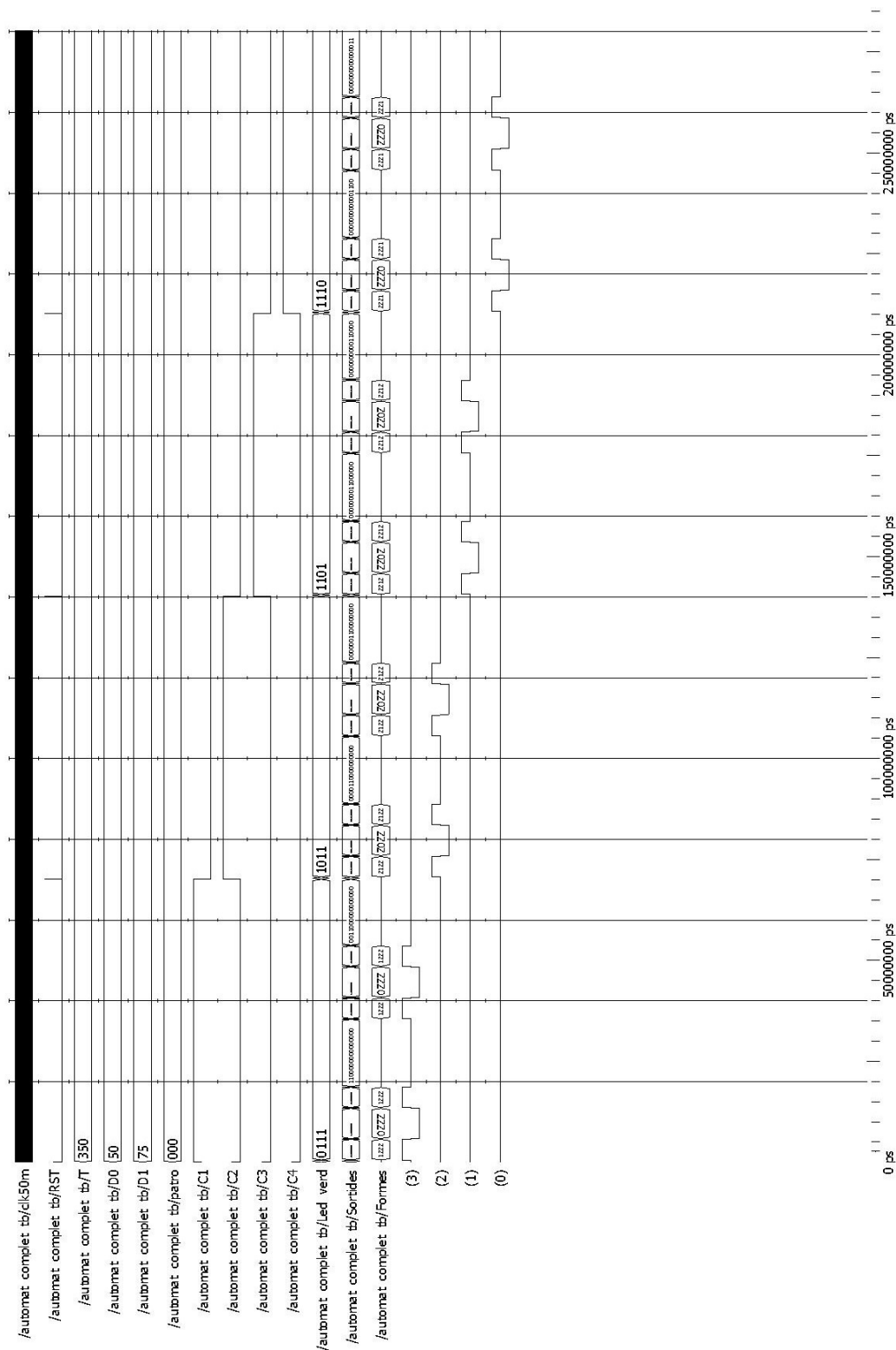


Figura A.1: Simulació completa de cada convertidor individualment amb el patró 1.

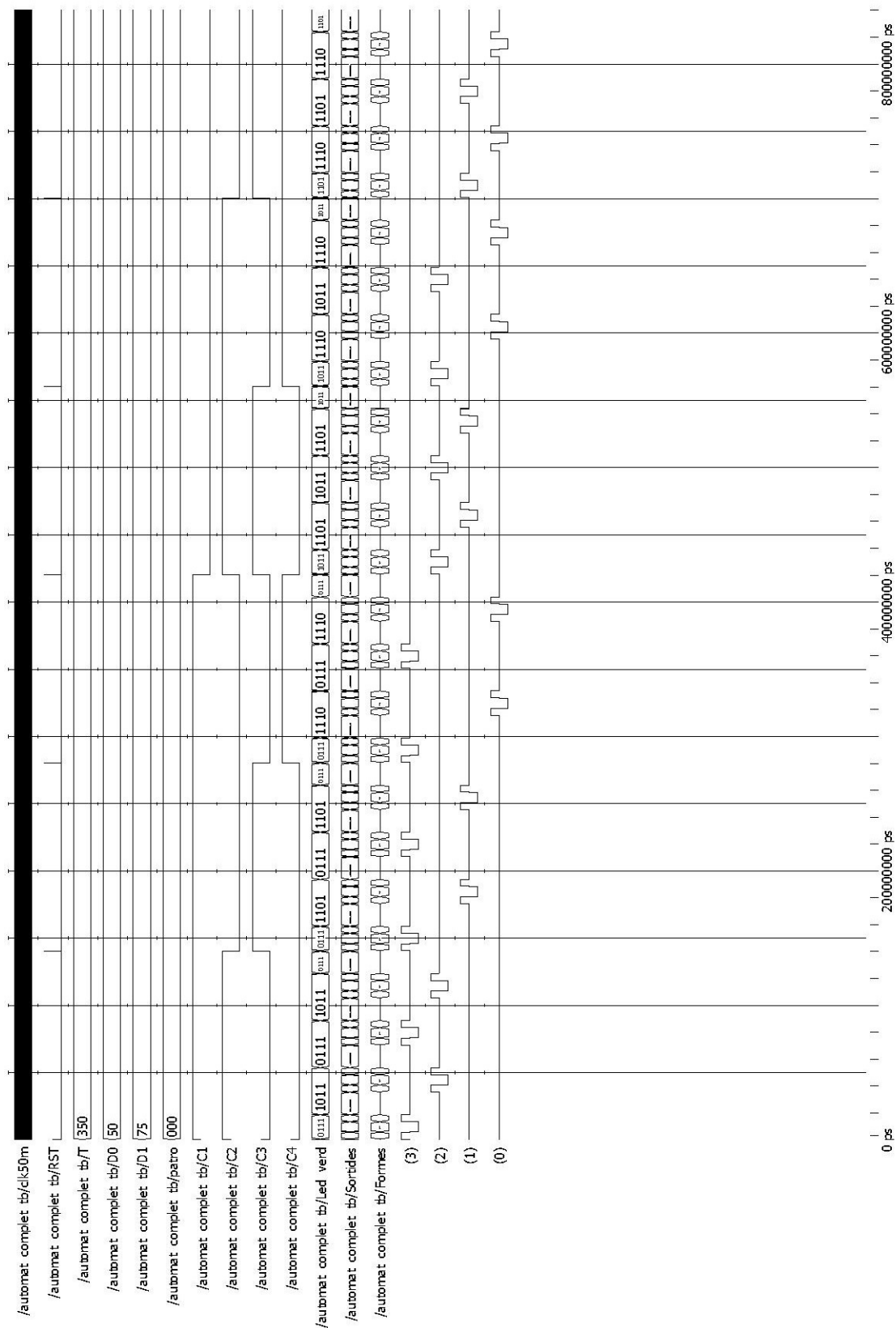


Figura A.2: Simulació completa del funcionament de 2 convertidors simultàniament amb el patró 1.

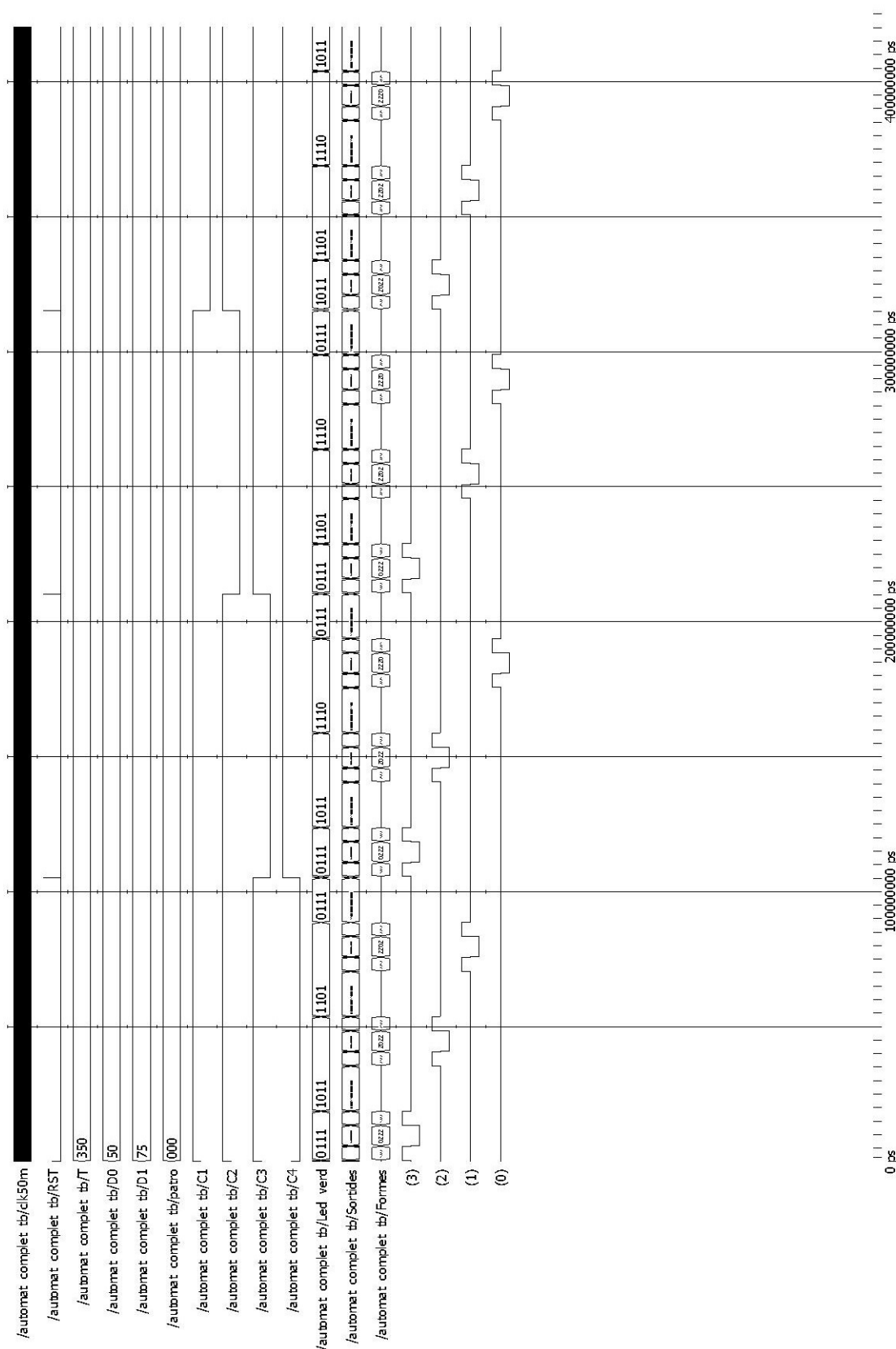


Figura A.3: Simulació completa del funcionament de 3 convertidors simultàniament amb el patró 1.

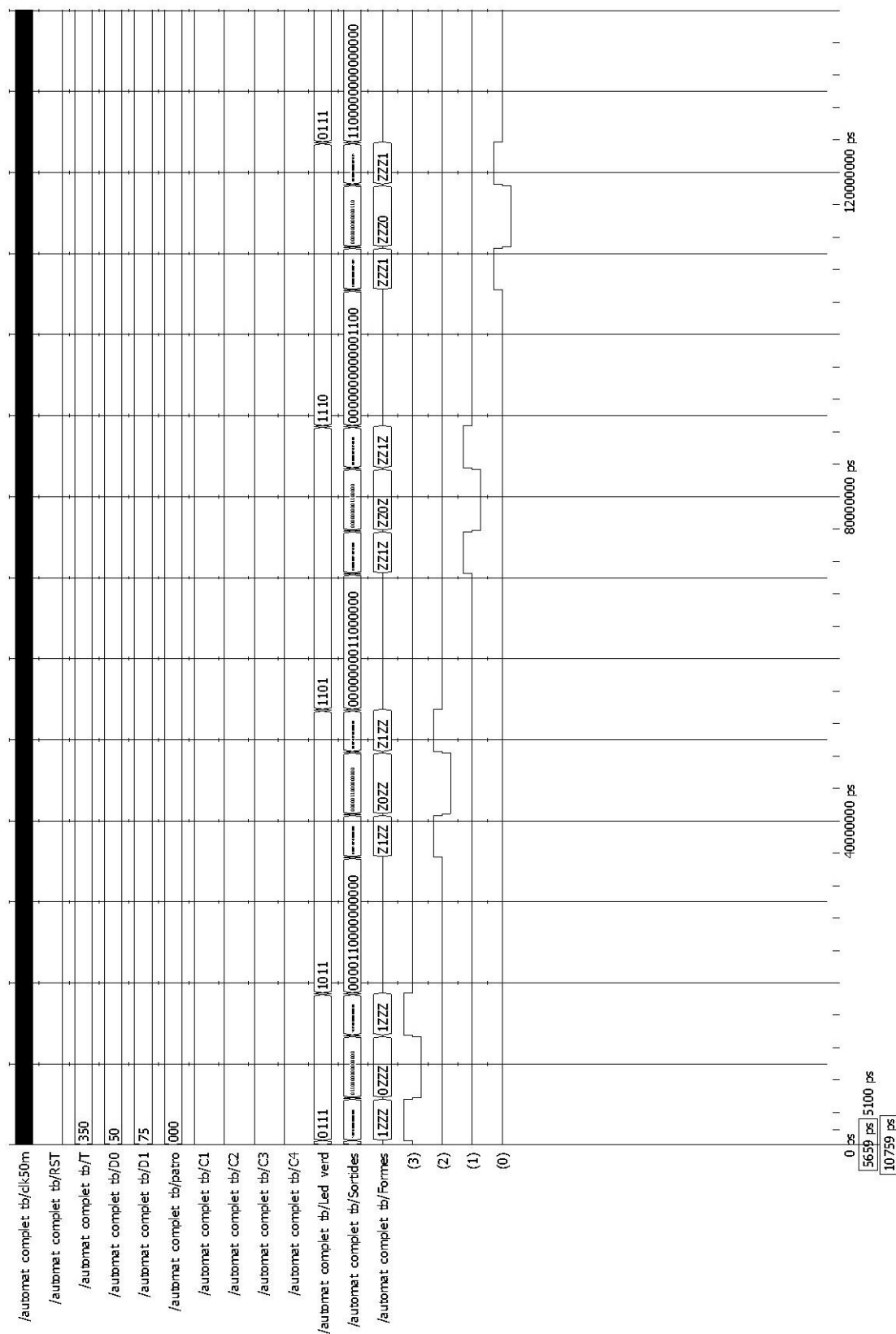


Figura A.4: Simulació completa del funcionament dels 4 convertidors alhora amb el patró 1.

A.1.2 Simulació del patró número 2

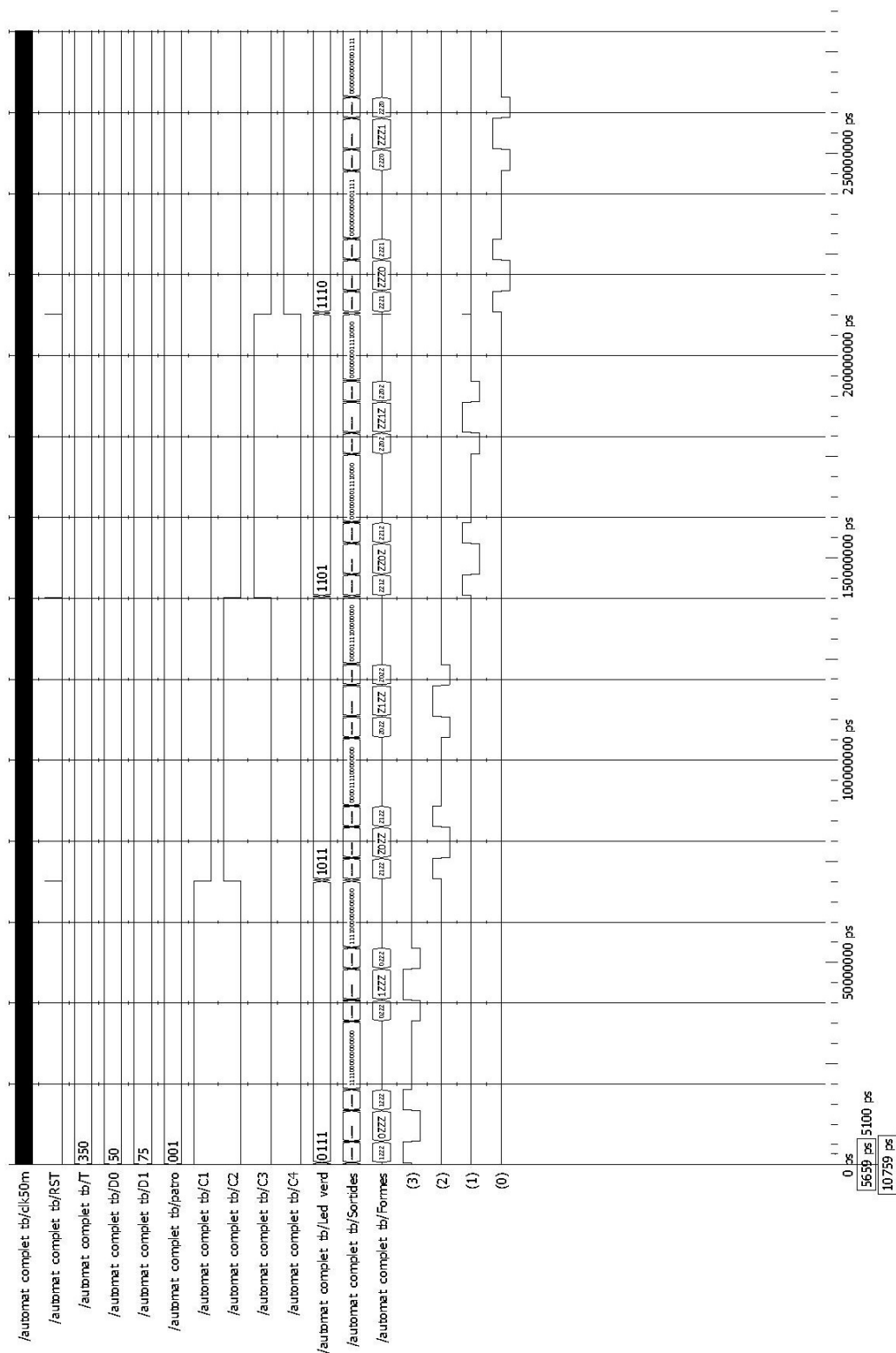


Figura A.5: Simulació completa de cada convertidor individualment amb el patró 2.

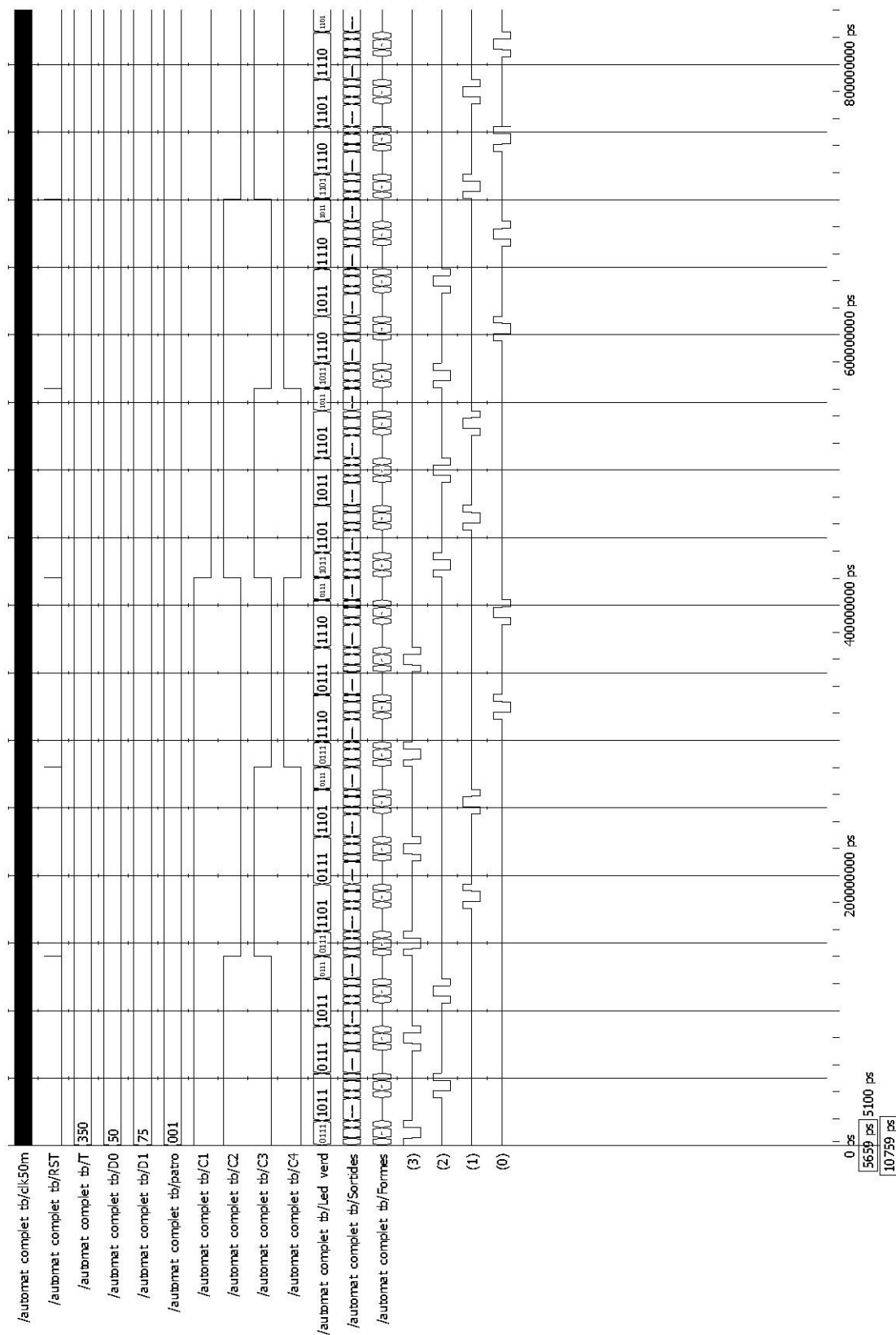


Figura A.6: Simulació completa del funcionament de 2 convertidors simultàniament amb el patró 2.

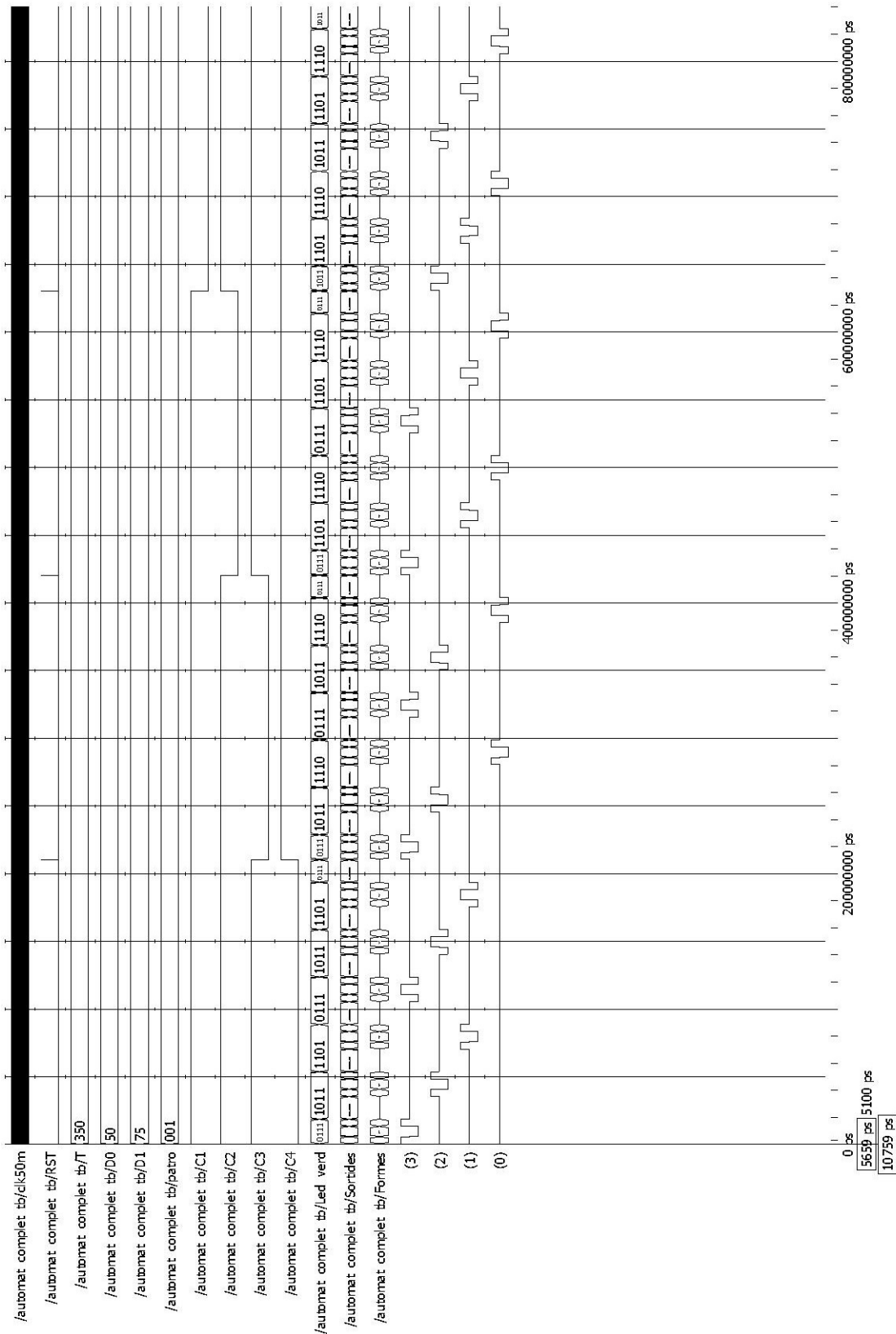


Figura A.7: Simulació completa del funcionament de 3 convertidors simultàniament amb el patró 2.

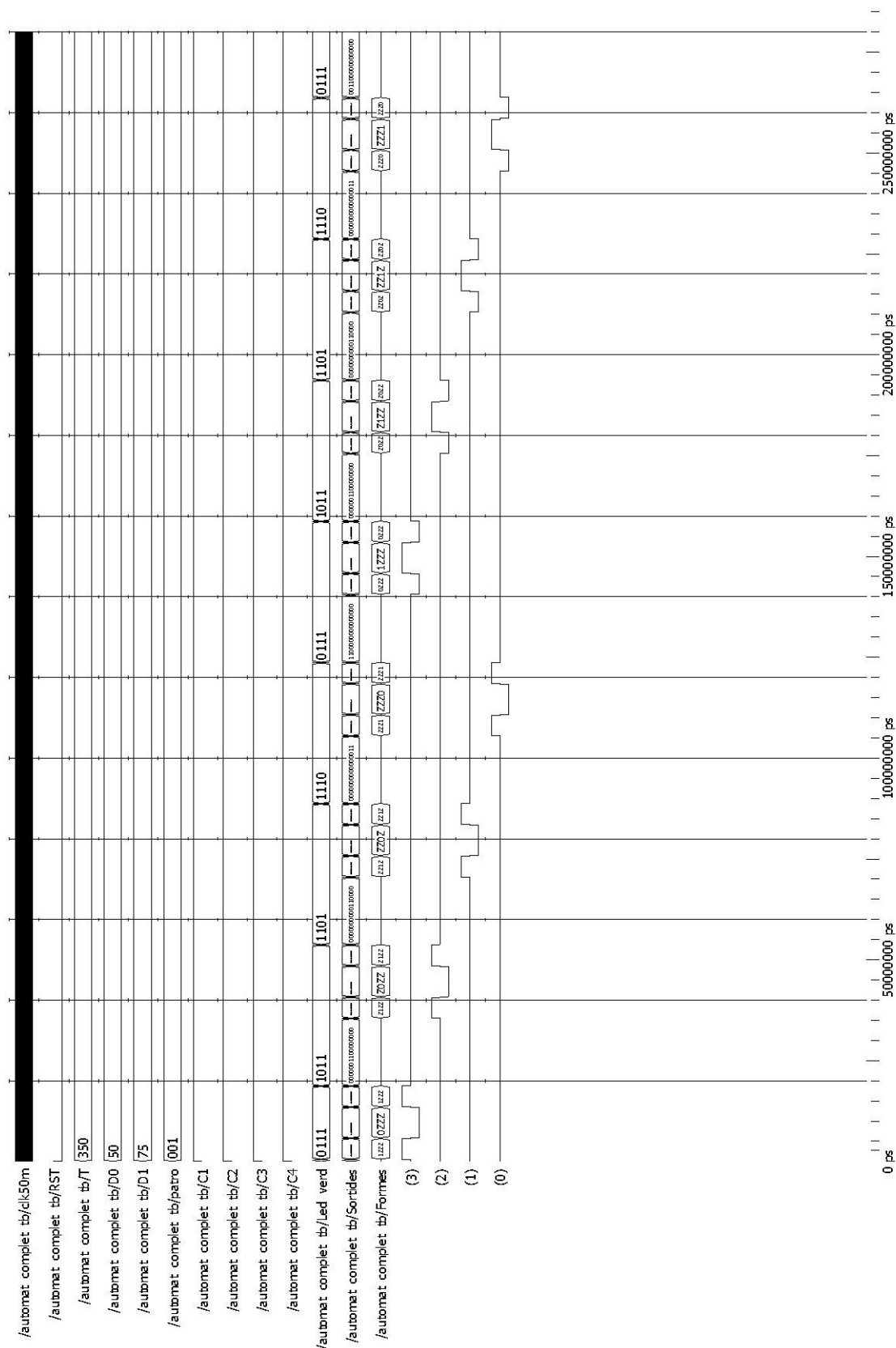


Figura A.8: Simulació completa del funcionament dels 4 convertidors alhora amb el patró 2.

A.1.3 Simulació del patró número 3

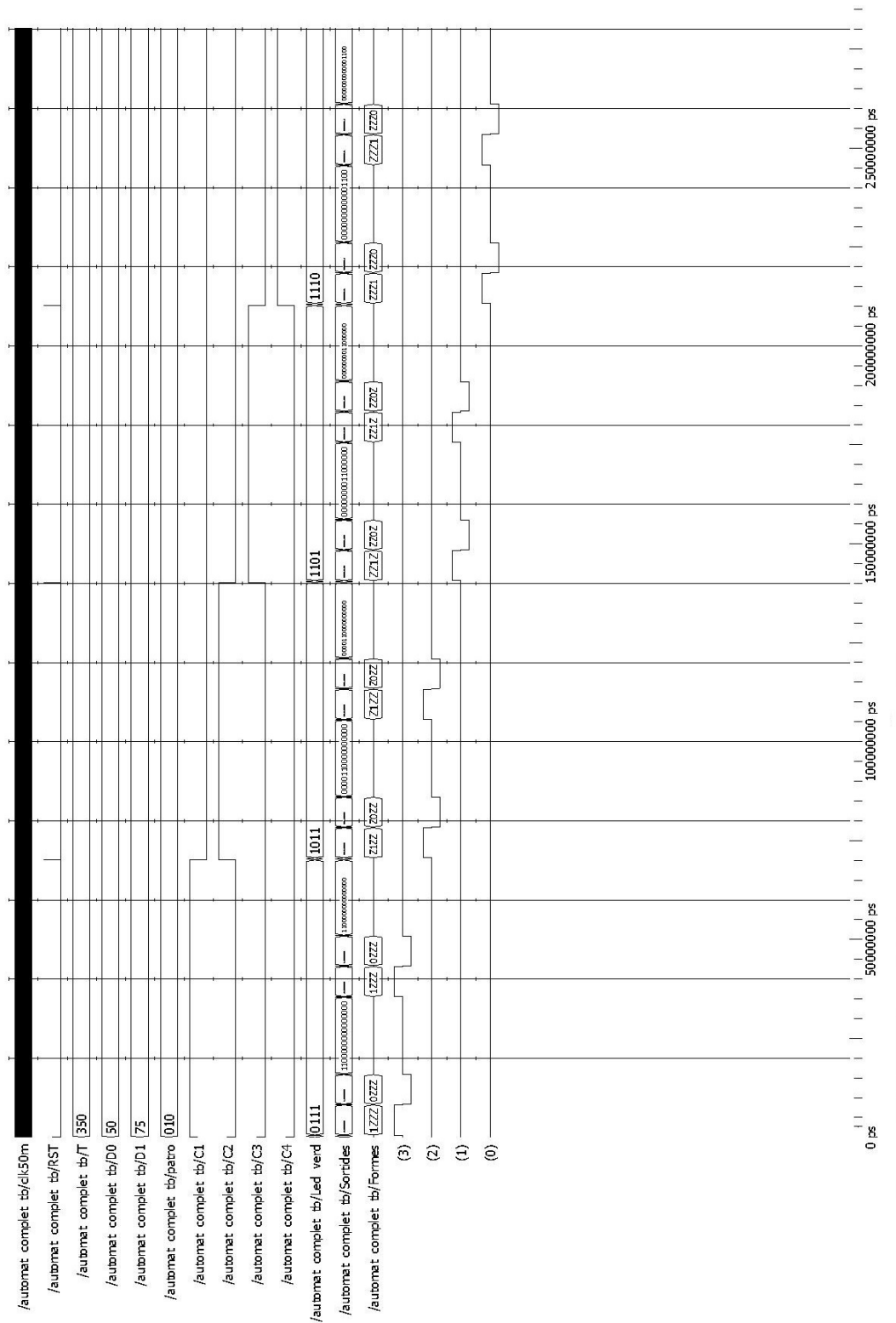


Figura A.9: Simulació completa de cada convertidor individualment amb el patró 3.

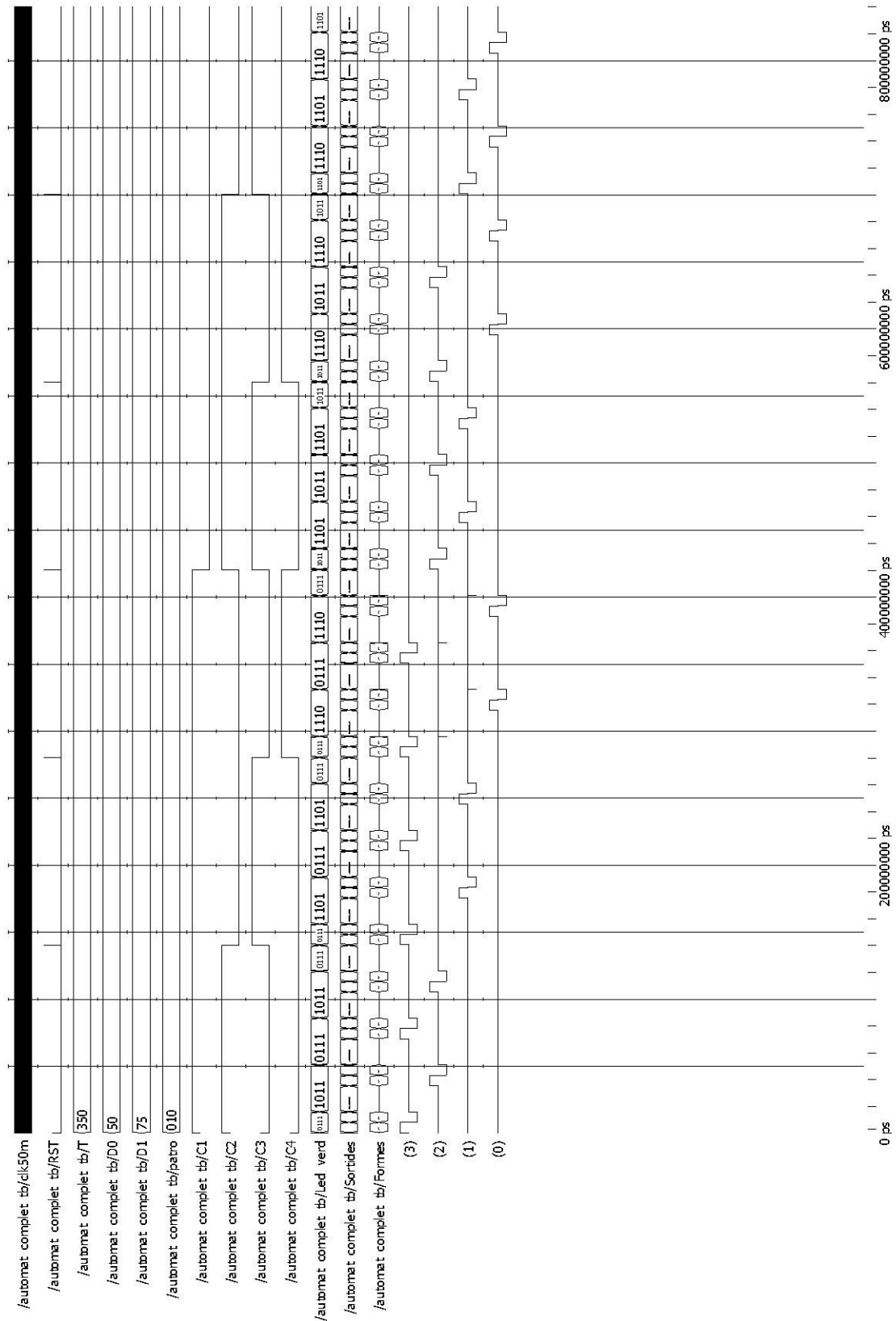
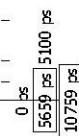


Figura A.10: Simulació completa del funcionament de 2 convertidors simultàniament amb el patró 3.



ETSEIB

A.1.4 Simulació del patró número 4

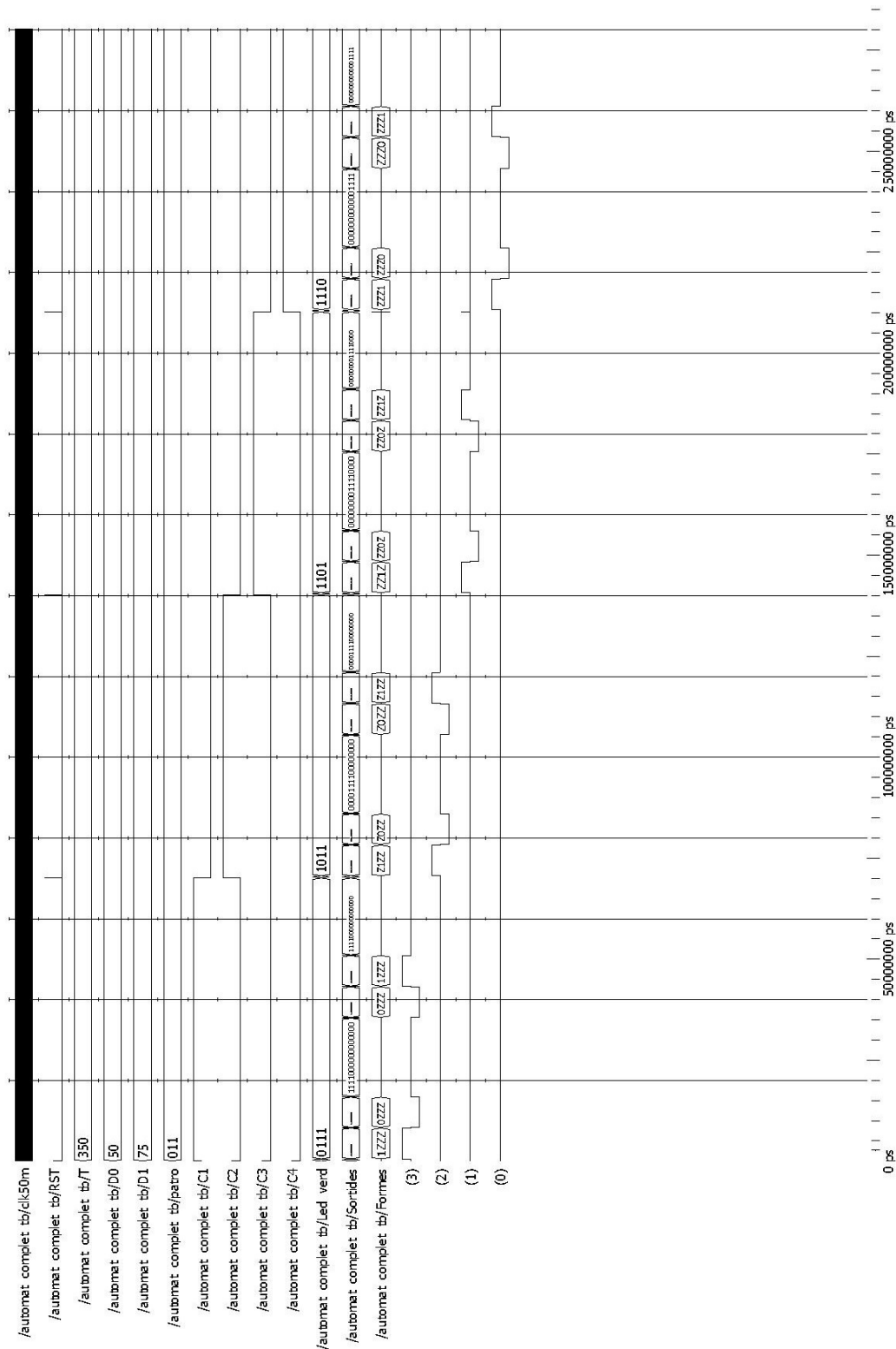


Figura A.13: Simulació completa de cada convertidor individualment amb el patró 4.

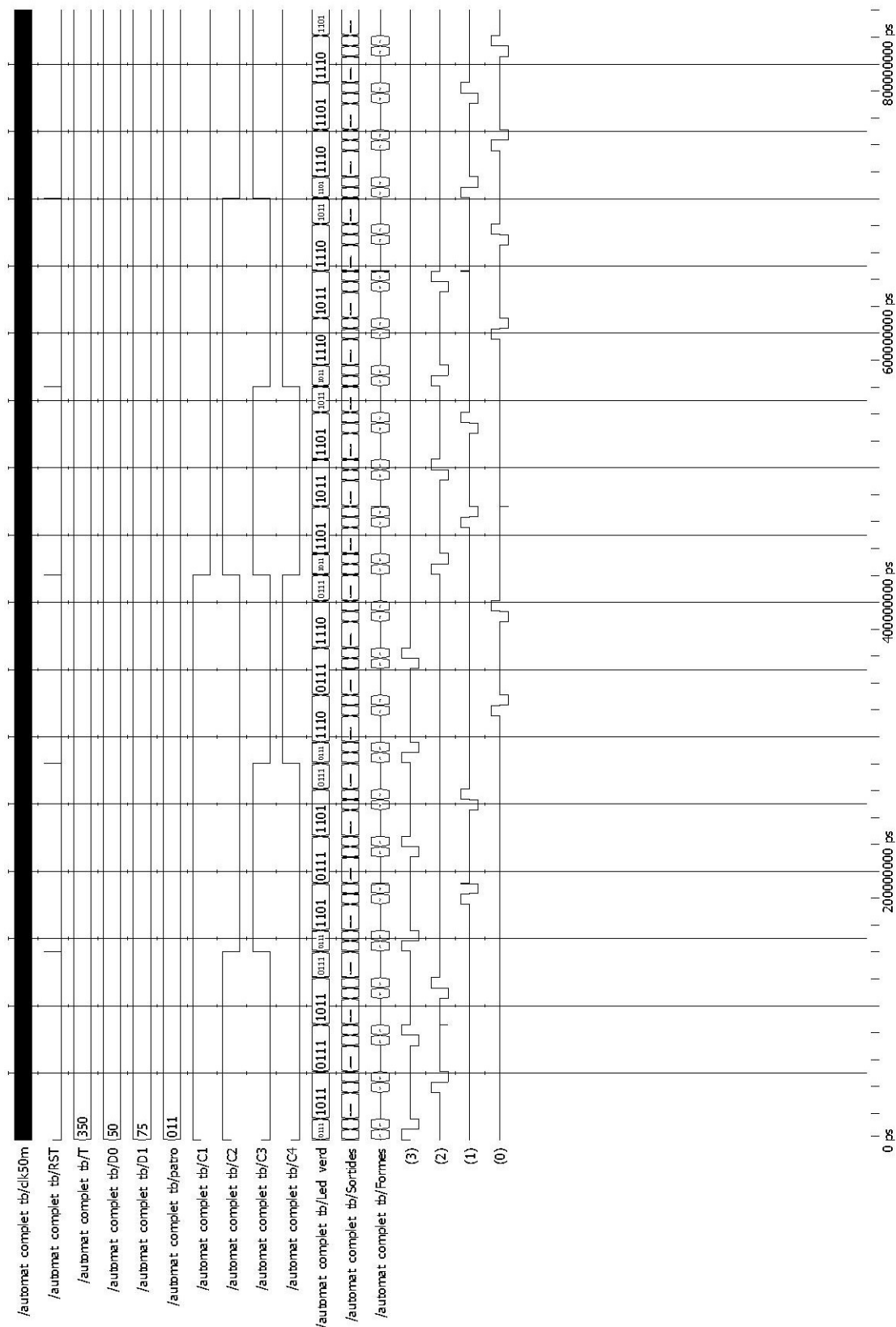


Figura A.14: Simulació completa del funcionament de 2 convertidors simultàniament amb el patró 4.

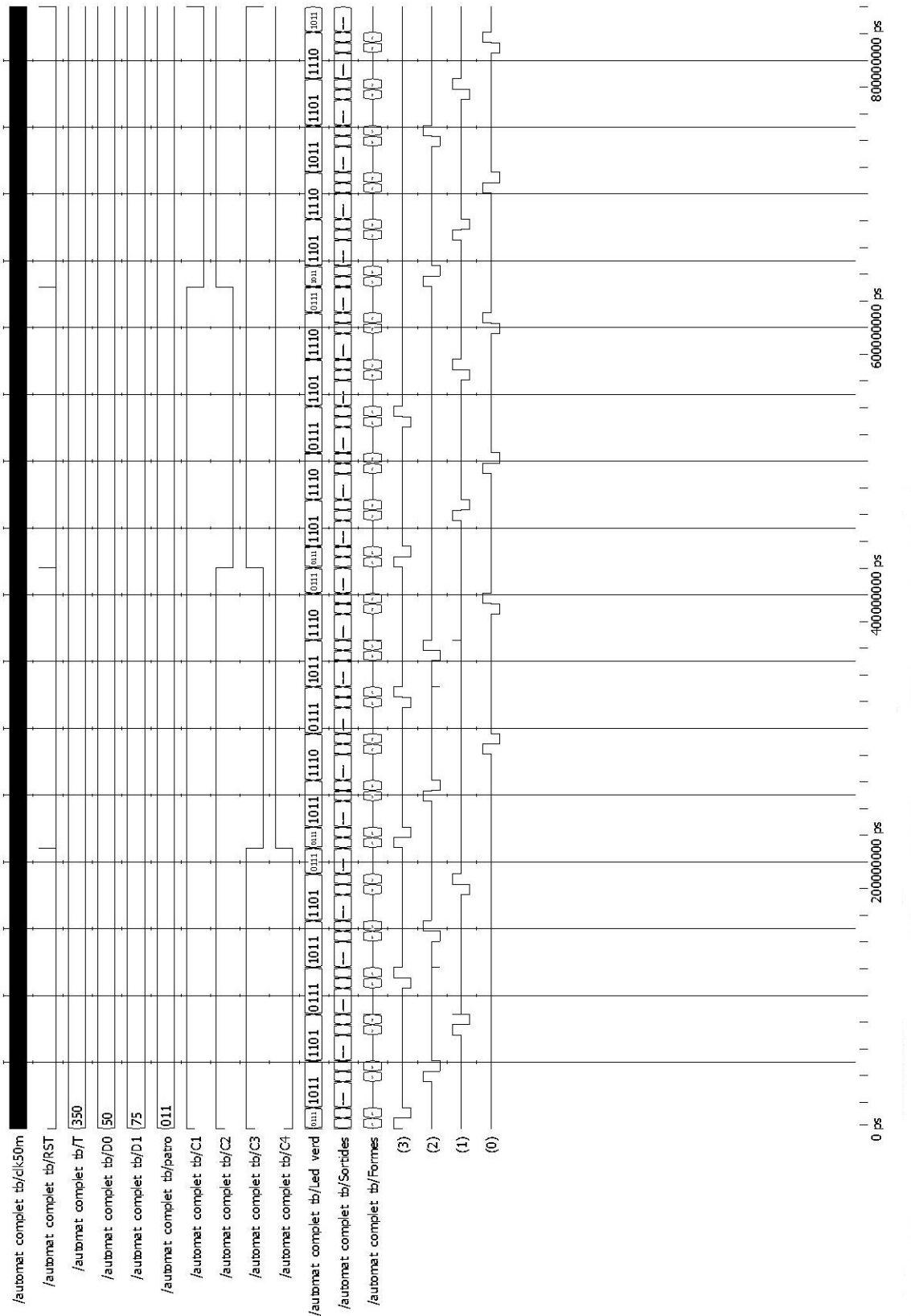


Figura A.15: Simulació completa del funcionament de 3 convertidors simultàniament amb el patró 4.

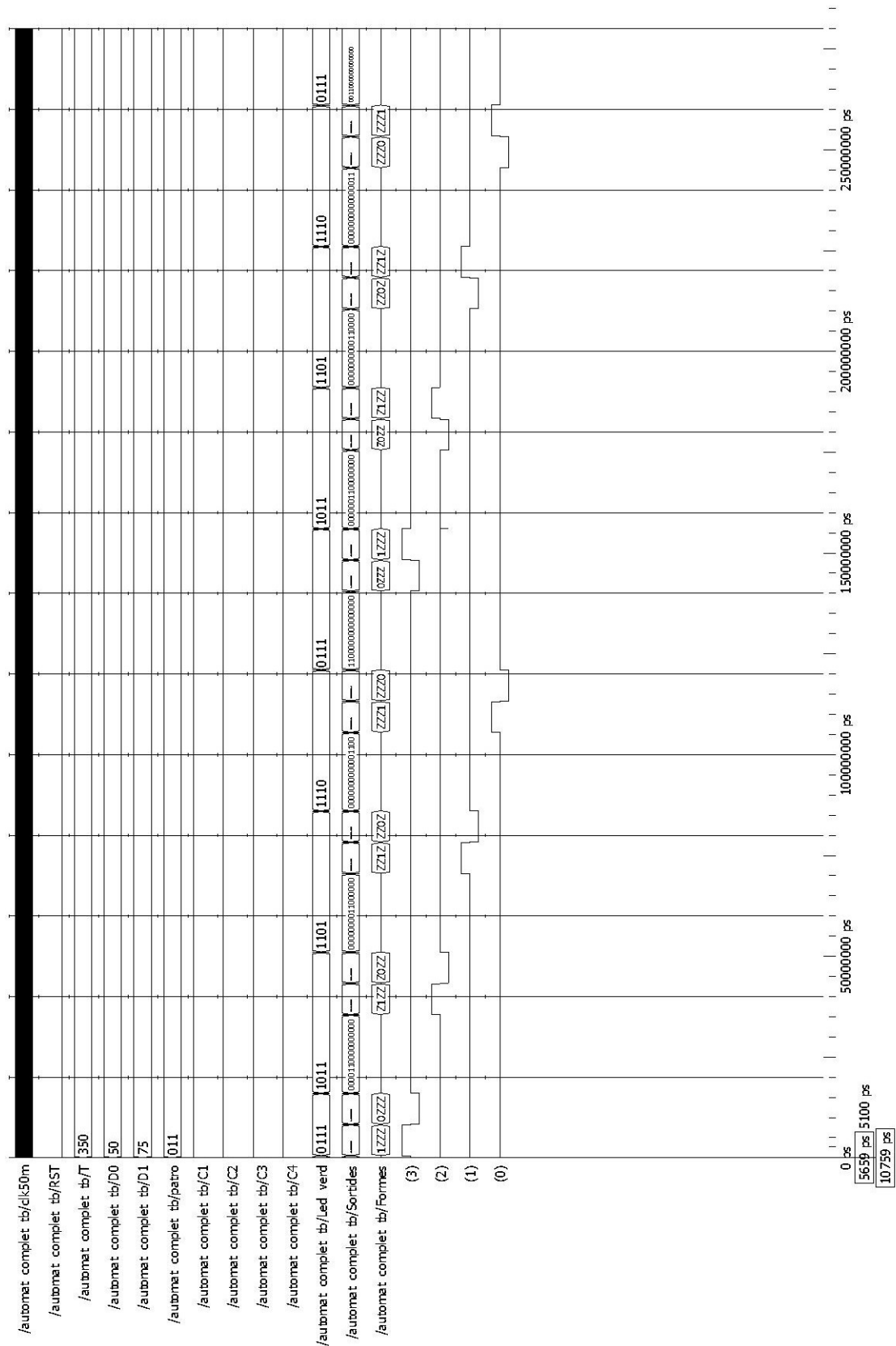


Figura A.16: Simulació completa del funcionament dels 4 convertidors alhora amb el patró 4.

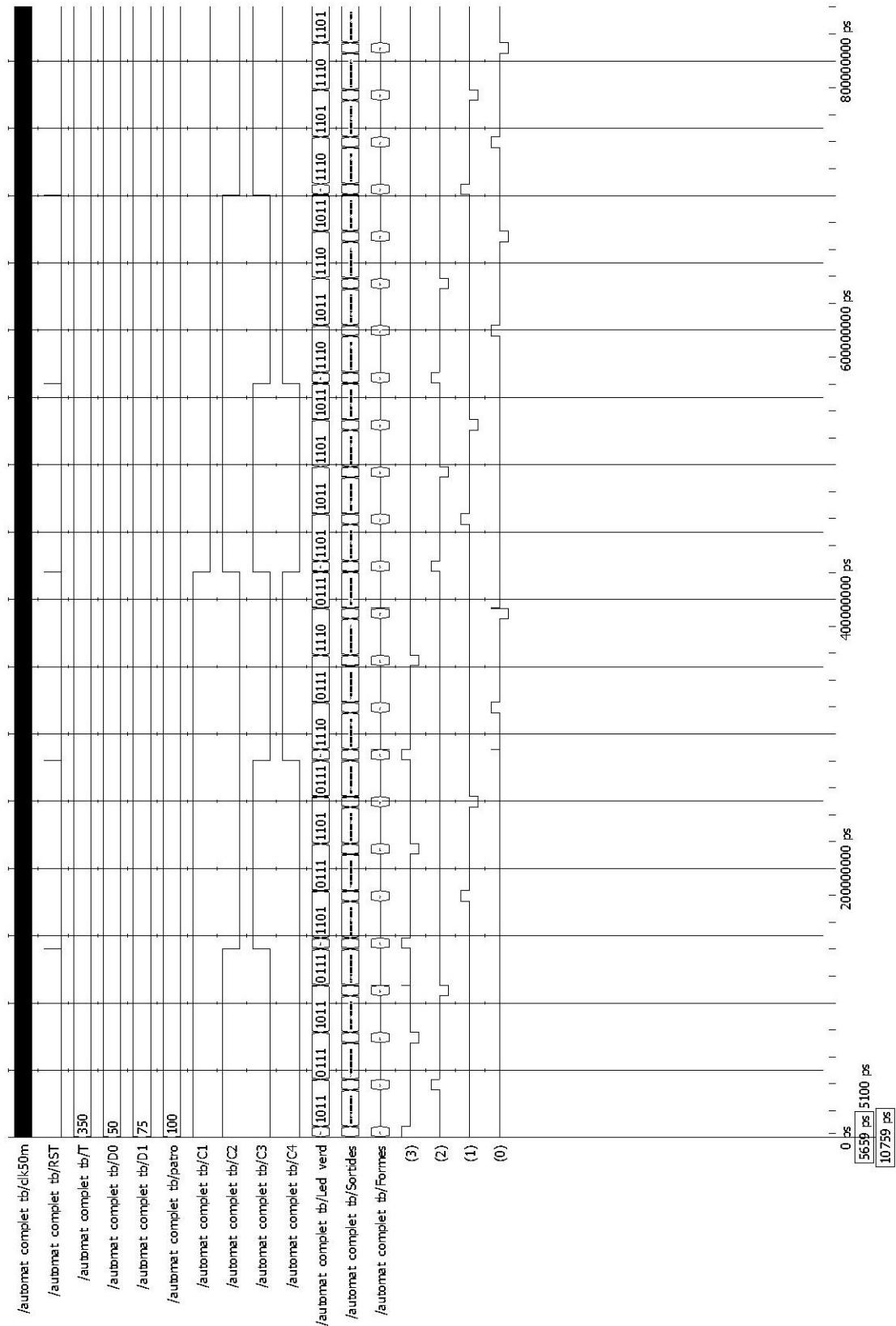
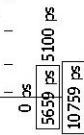


Figura A.18: Simulació completa del funcionament de 2 convertidors simultàniament amb el patró 5.



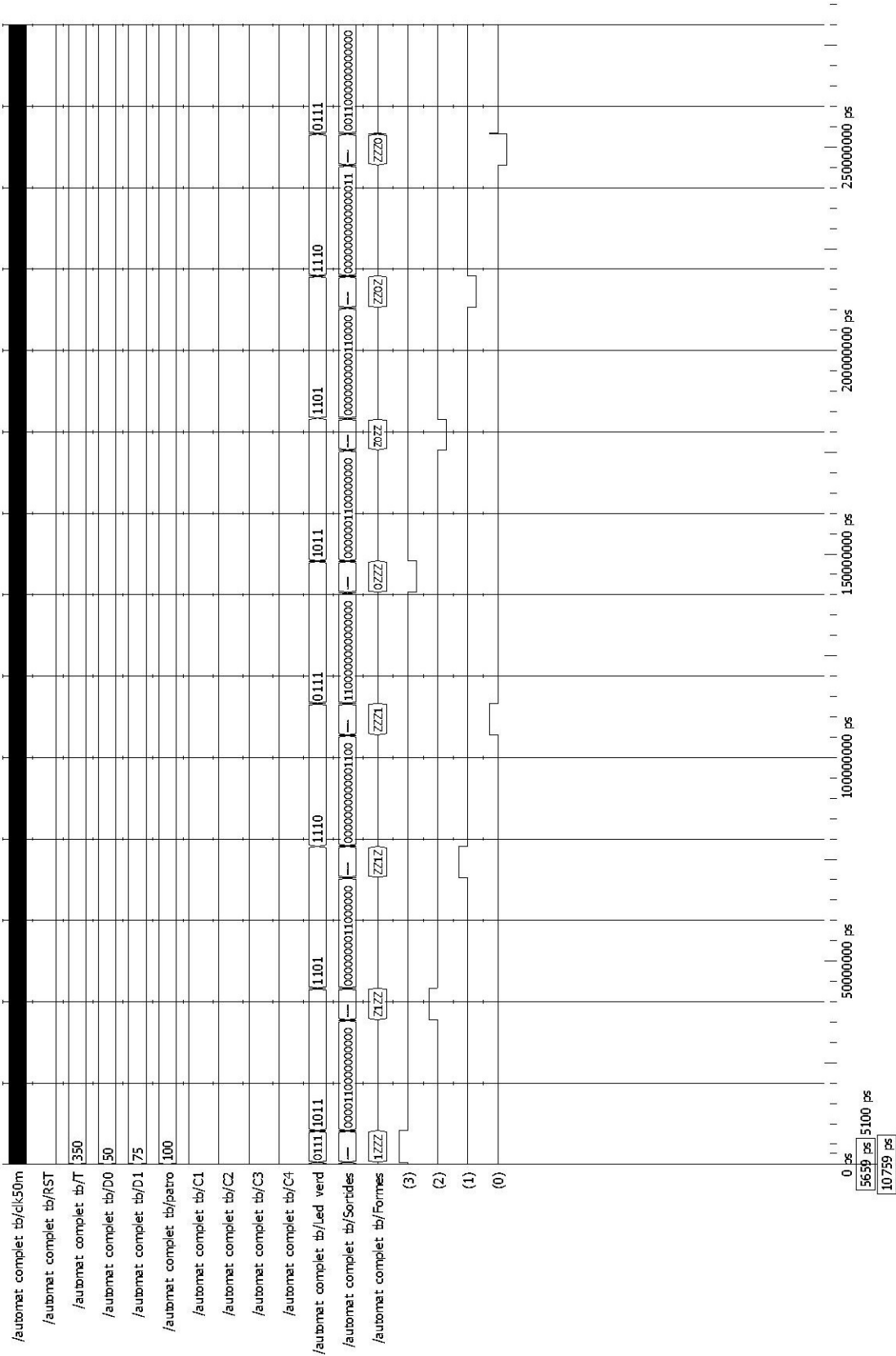


Figura A.20: Simulació completa del funcionament dels 4 convertidors alhora amb el patró 5.

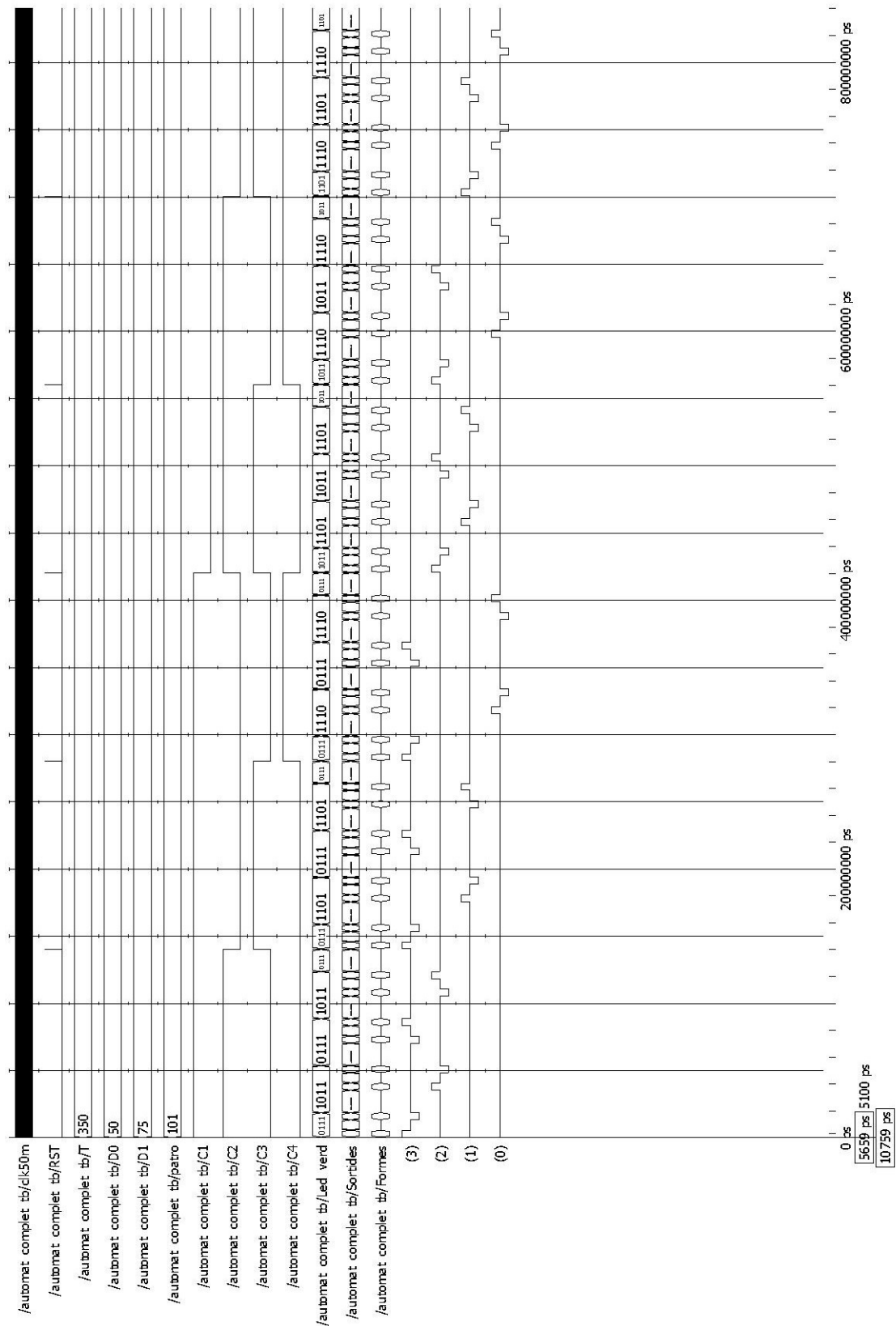
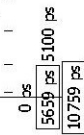


Figura A.22: Simulació completa del funcionament de 2 convertidors simultàniament amb el patró 6.



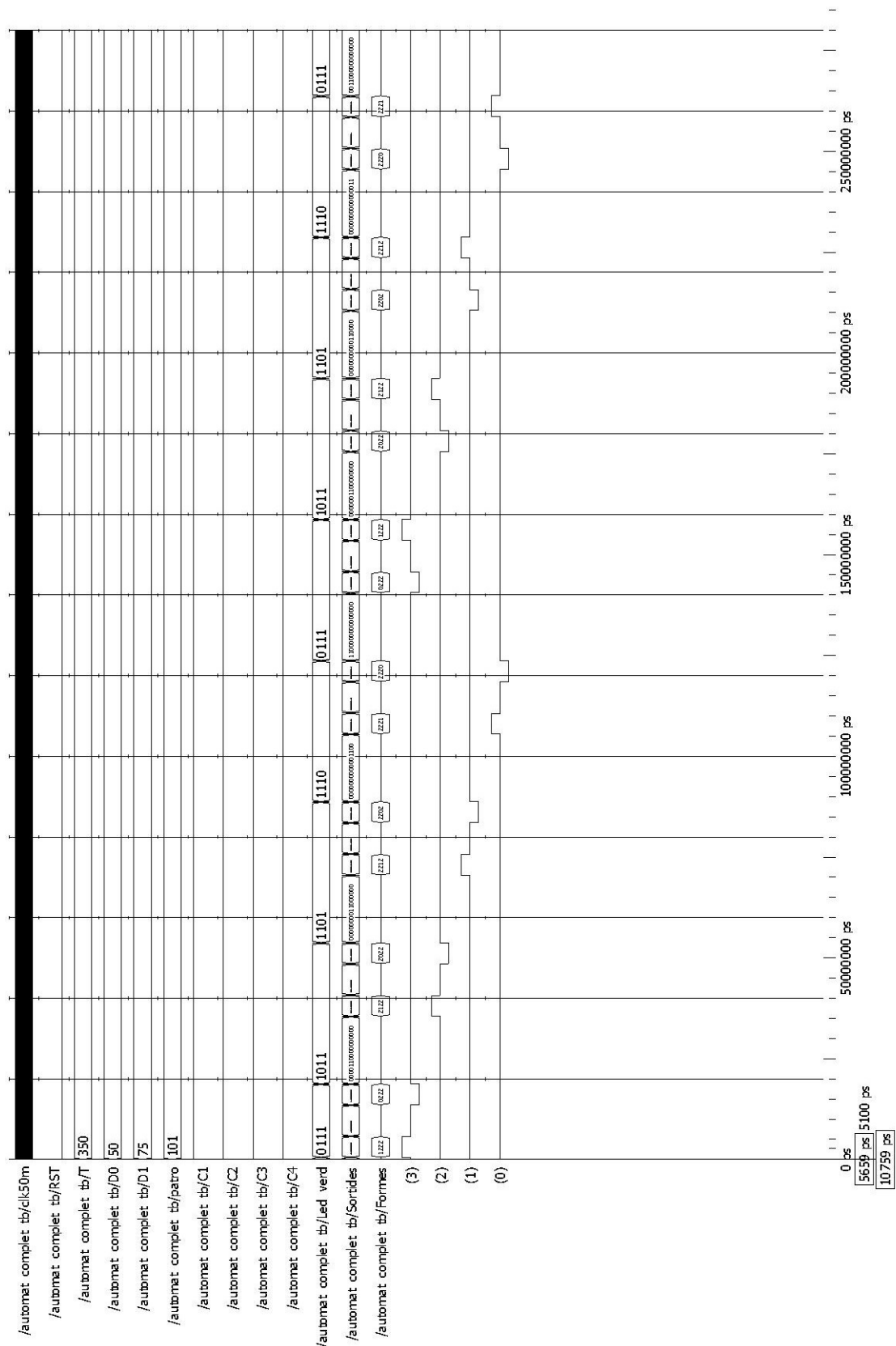


Figura A.24: Simulació completa del funcionament dels 4 convertidors alhora amb el patró 6.

A.2 Comprobació del bon funcionament de l'autòmat mitjançant una maqueta

En una segona etapa de la programació, s'ha volgut comprovar que l'autòmat funciona en una maqueta representant el model real del sistema de potència.

Per a això també s'ha dut a terme un conjunt de simulacions imposant uns valors per defecte als paràmetres no-configurables. En aquest cas concret, s'ha fixat T en 150, d0 en 50, d1 en 75 i el valor dels patrons s'han triat mitjançant micro-interruptors. La numeració dels patrons va del 000, que correspon al patró número 1, al 101, que correspon al patró número 6.

Totes les simulacions s'han fet considerant que tots els convertidors estaven encesos simultàniament, perquè la maqueta només permet comprovar les formes d'ona d'un dels convertidors, dels altres només es pot saber si estan encesos o apagats mitjançant uns LED.

Per tal de fer una simulació intuïtiva, s'ha creat un fitxer tipus banc de proves per tal d'intentar representar les formes d'ona característica de cadascun dels patrons.

Totes les simulacions descrites anteriorment s'han dut a terme pels 6 patrons. A continuació es mostren les gràfiques extreïdes. Per consultes més acurades es poden trobar els fitxers .wlf en el CD-ROM adjunt.

A.2.1 Simulació completa del sistema

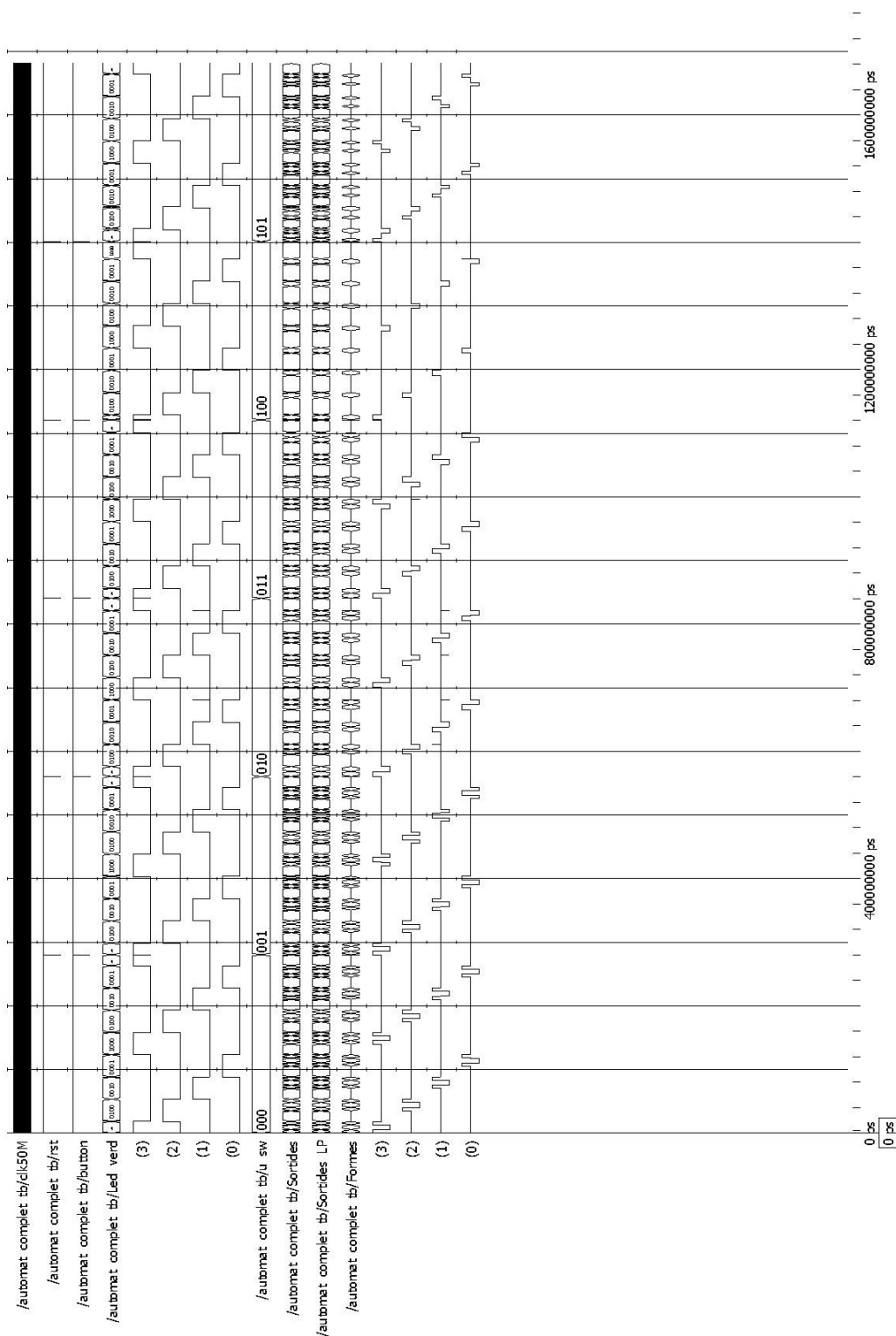
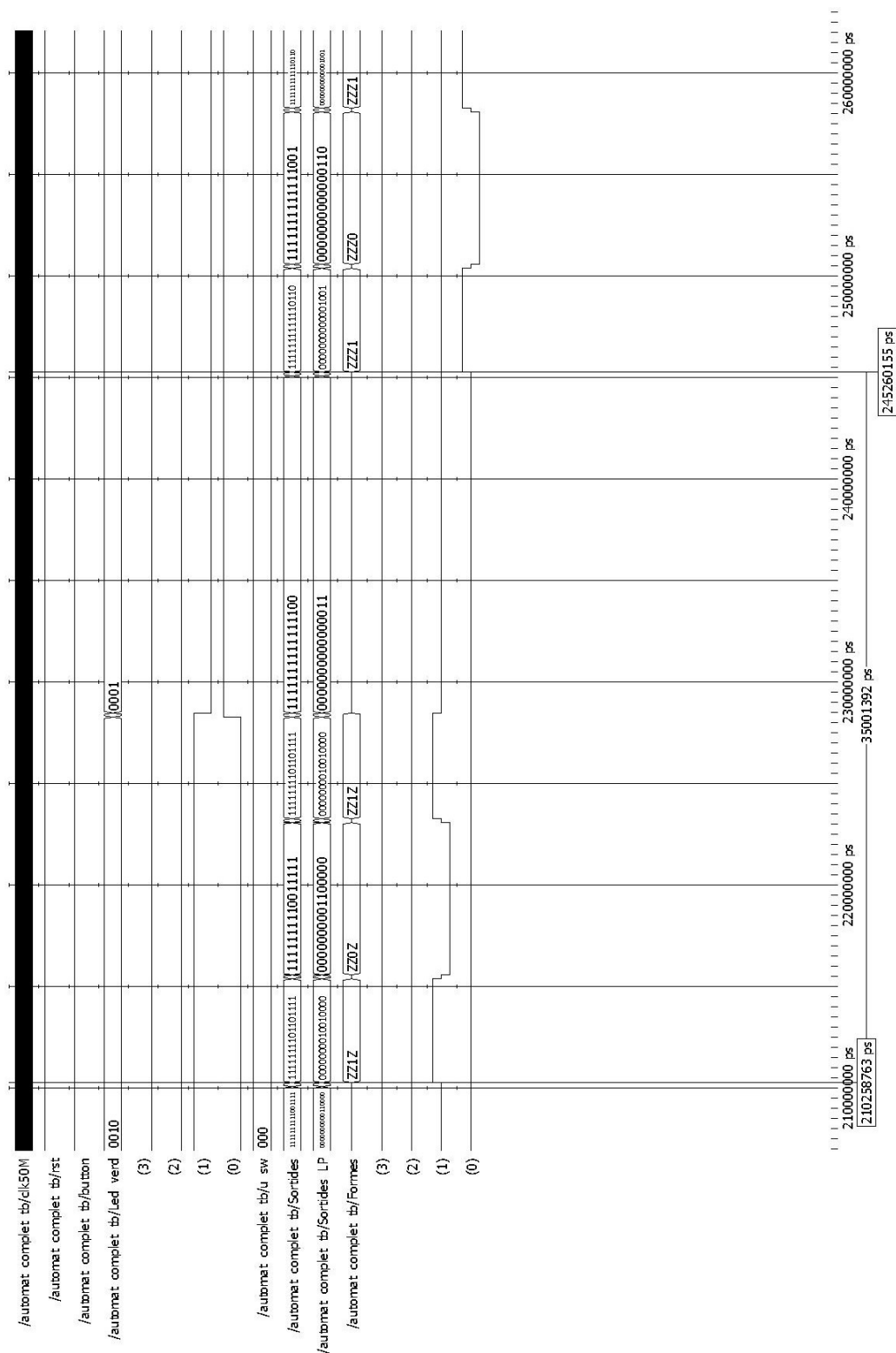


Figura A.25: Simulació completa de tots els patrons.

A.2.2 Simulació del patró número 1

Figura A.26: Comprobació del període T pel patró n^o1.

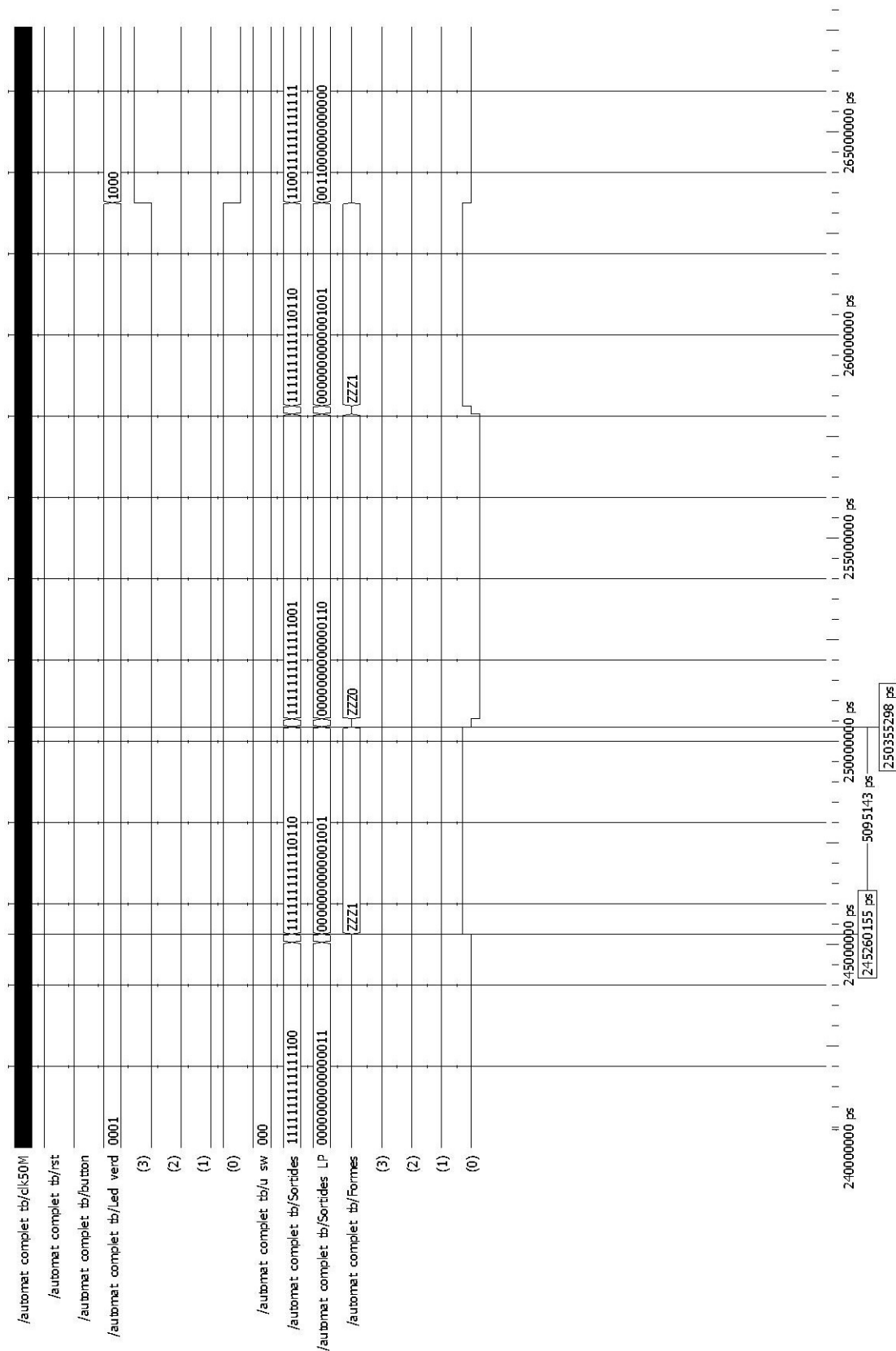
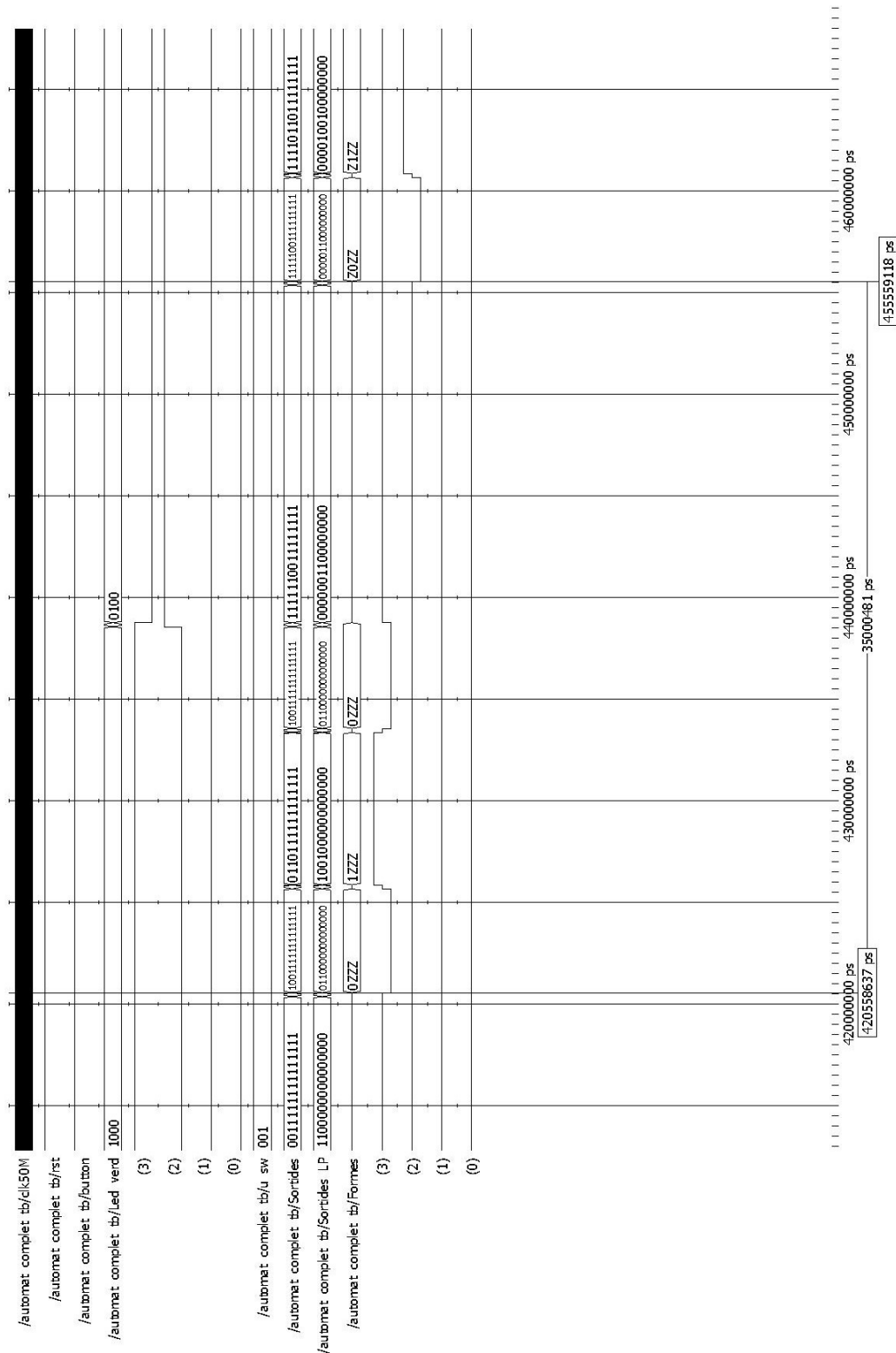


Figura A.27: Comprobació del temps d0 pel patró n^o1.

A.2.3 Simulació del patró número 2

Figura A.28: Comprobació del període T pel patró n^o2.

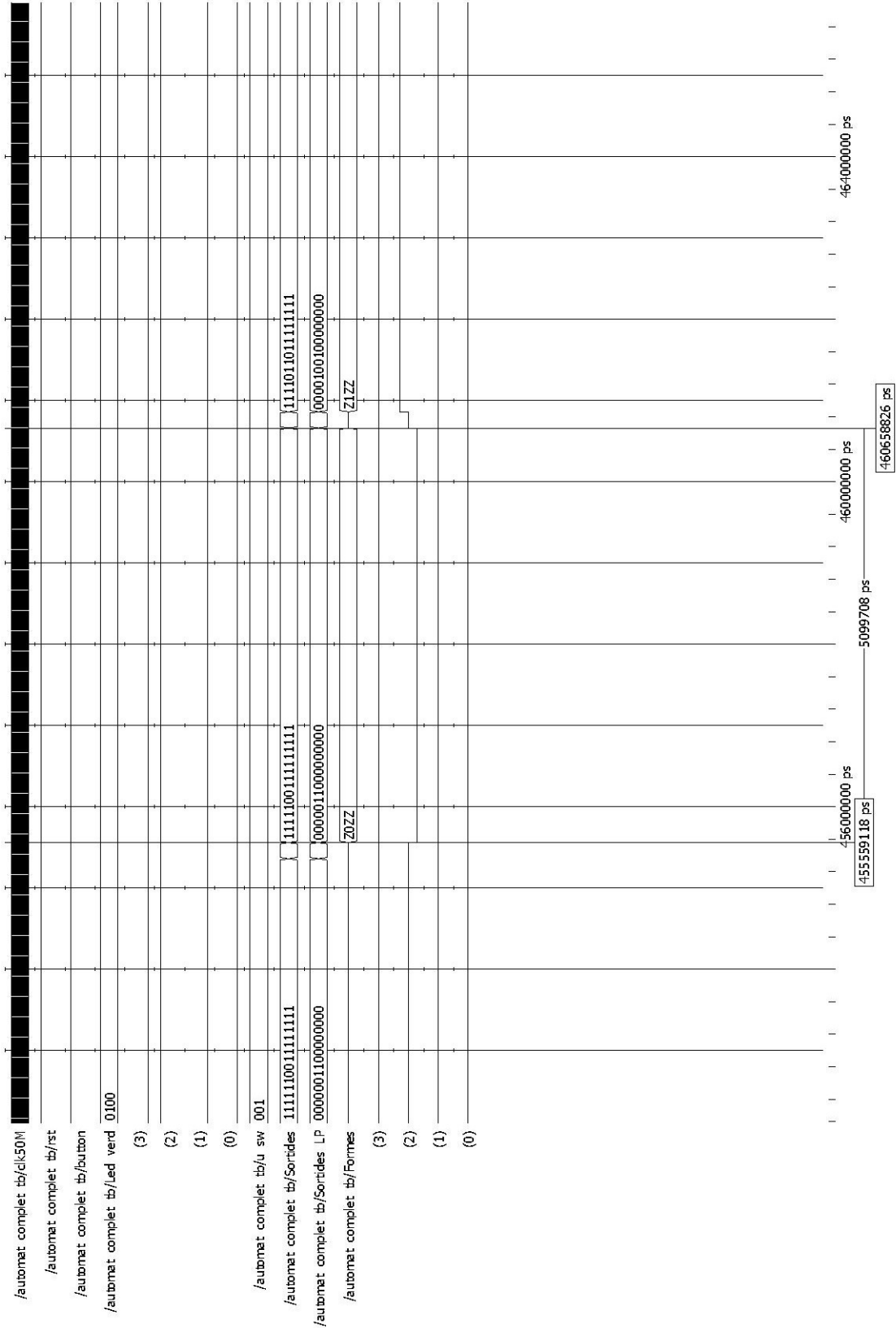


Figura A.29: Comprobació del temps d0 pel patró nº2.



468358911 ps

A.2.4 Simulació del patró número 3

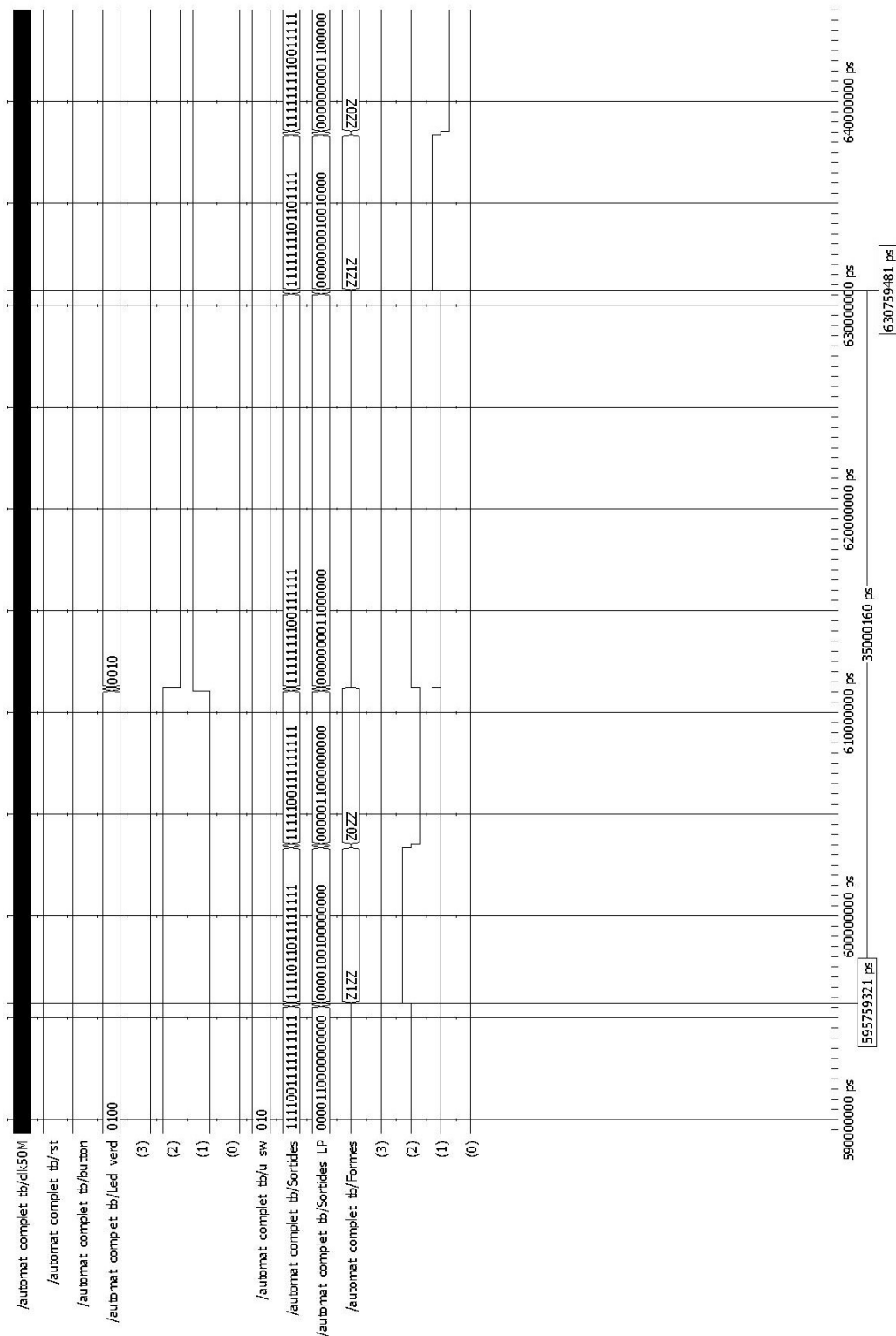


Figura A.31: Comprobació del període T pel patró n⁹3.

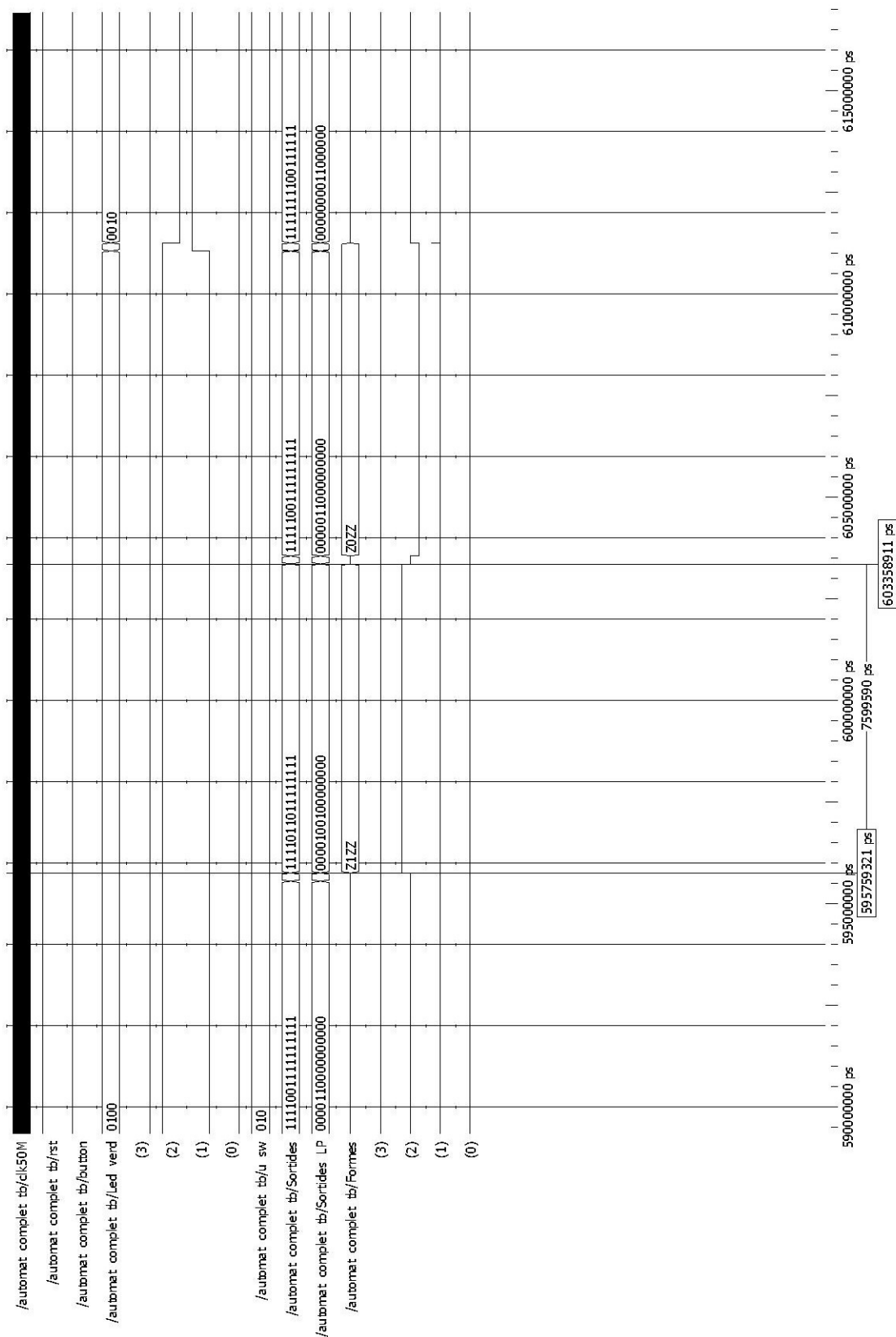


Figura A.32: Comprobació del temps d1 pel patró n°3.

A.2.5 Simulació del patró número 4

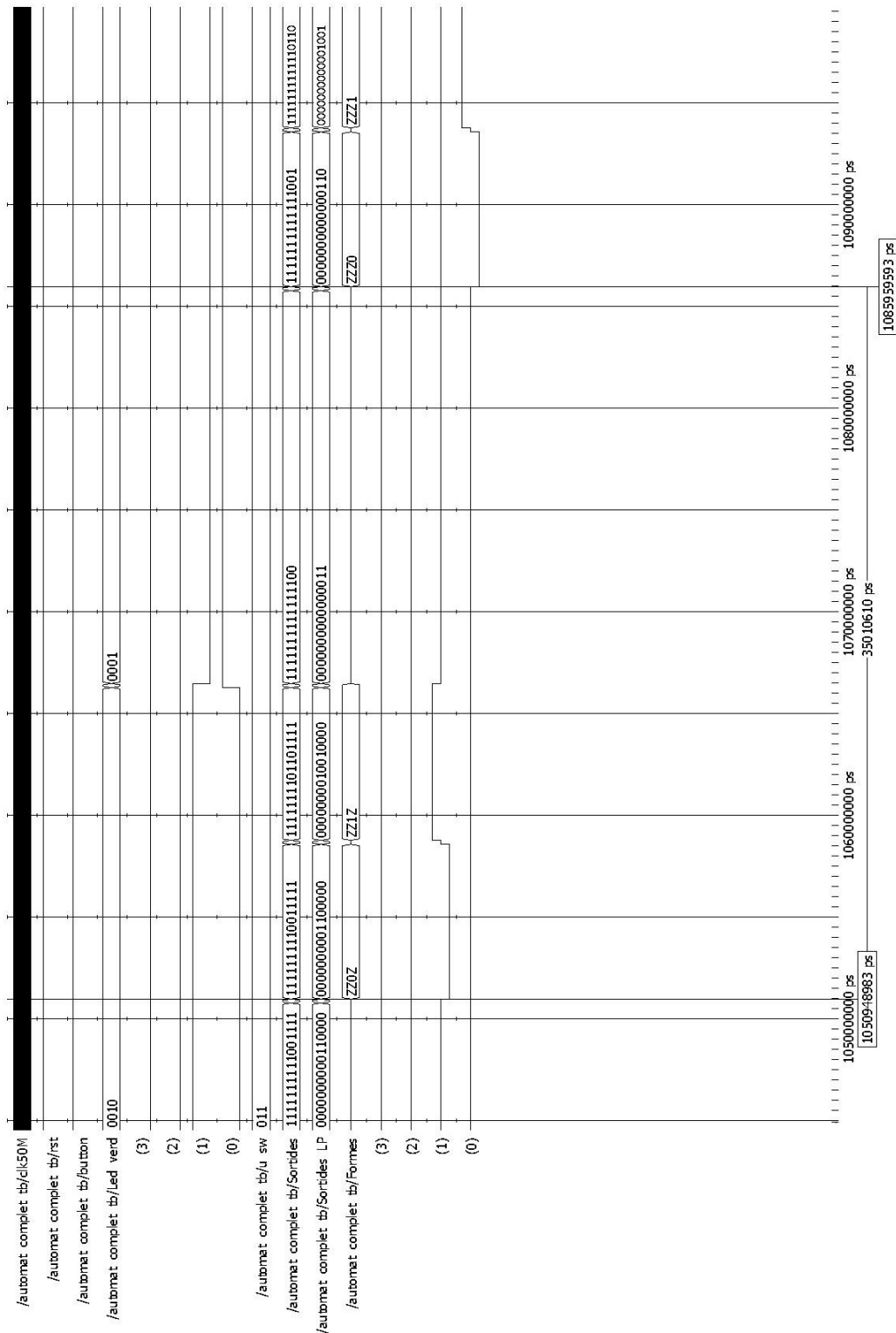


Figura A.33: Comprobació del període T pel patró n^o4.

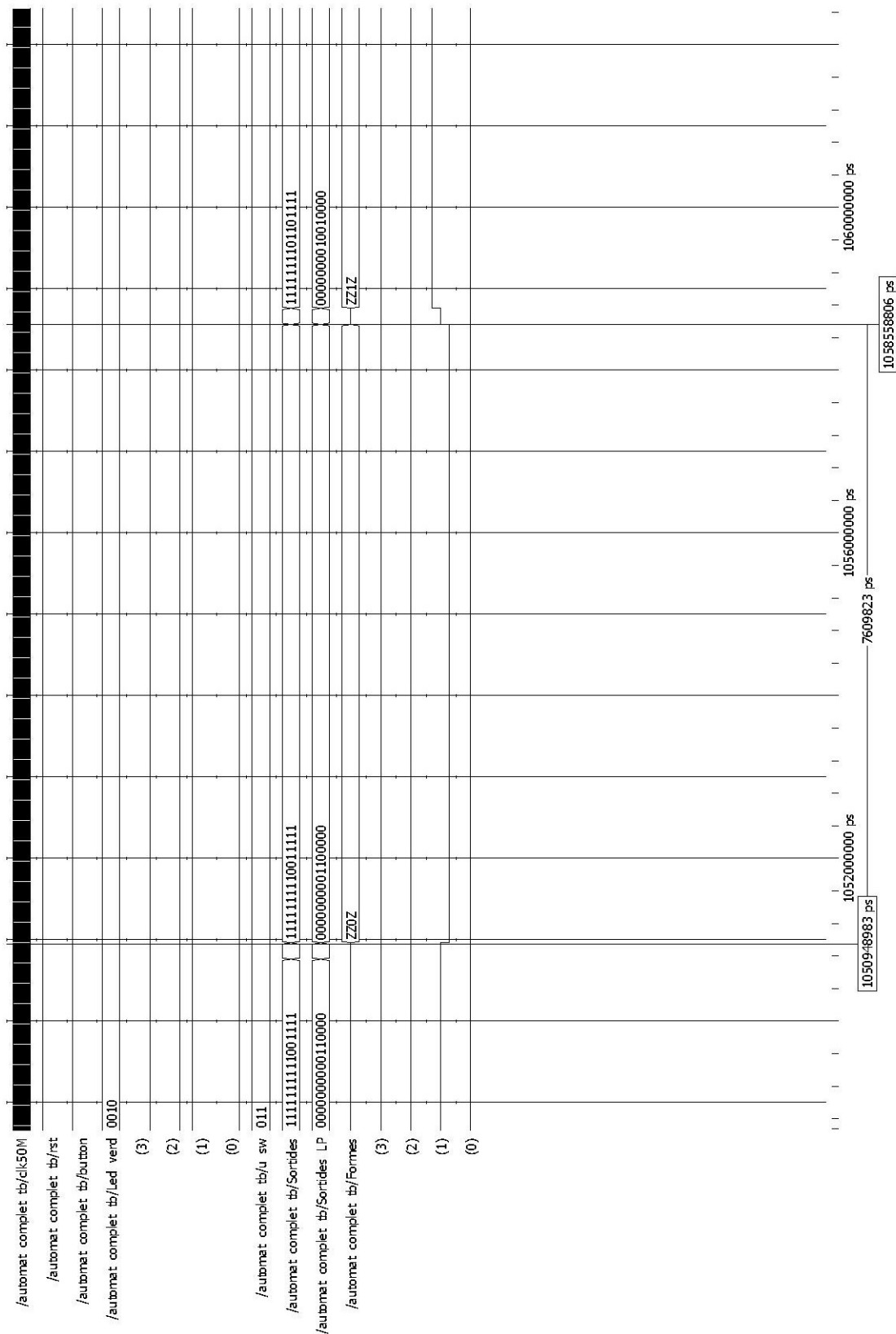


Figura A.34: Comprobació del temps d1 pel patró n°4.

A.2.6 Simulació del patró número 5

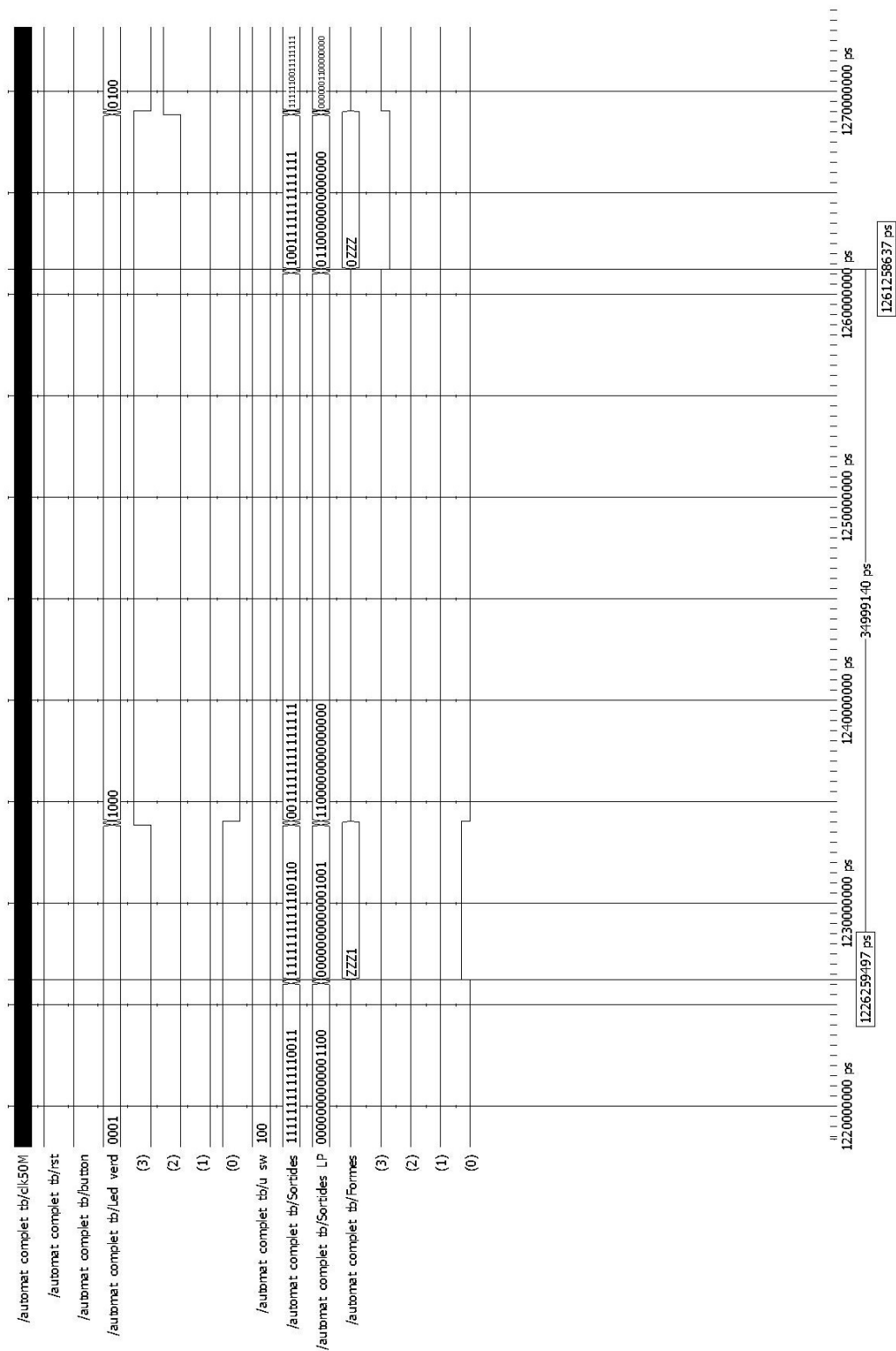


Figura A.35: Comprobació del període T pel patró n^o5.

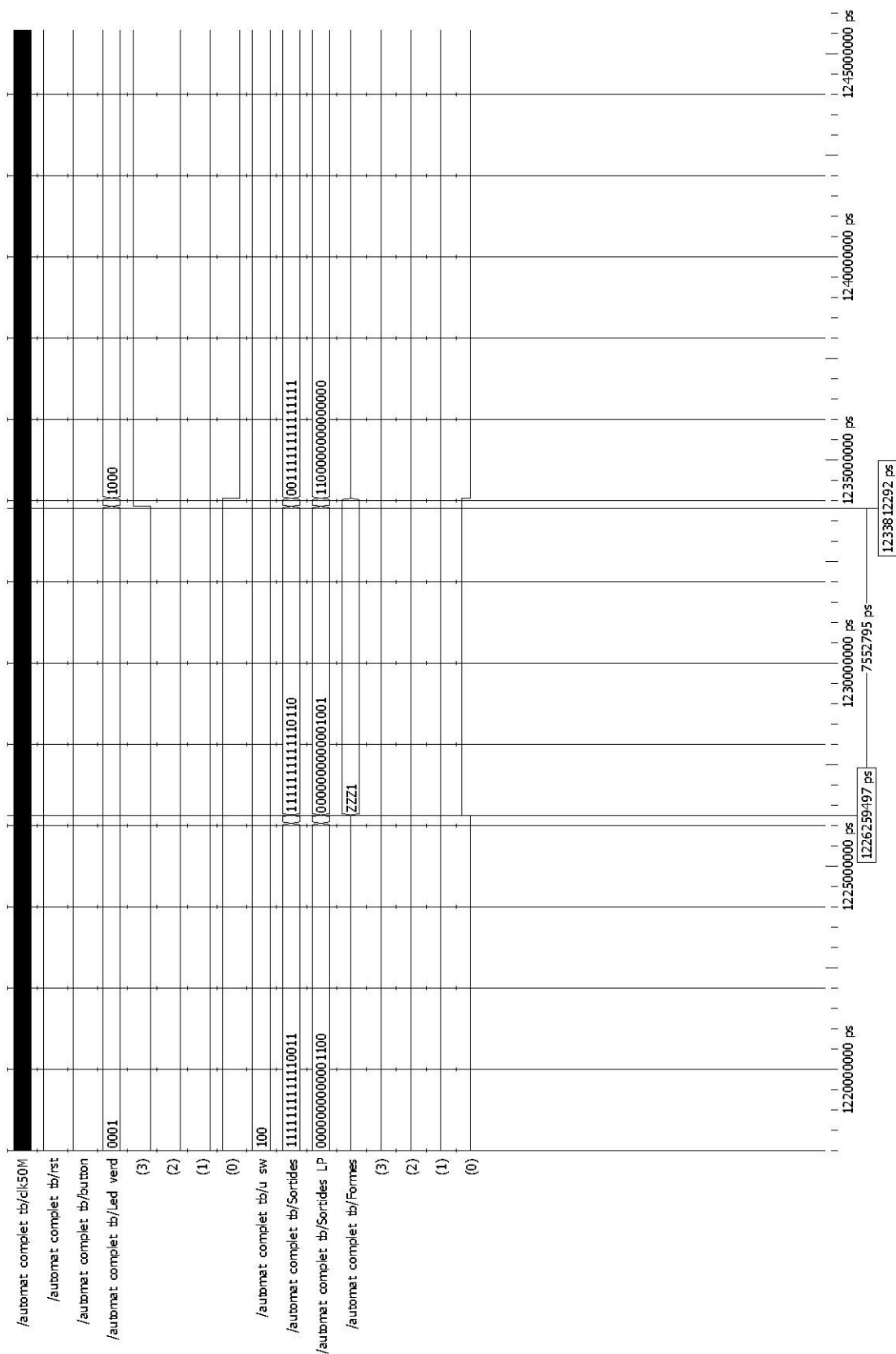


Figura A.36: Comprobació del temps d1 pel patró n°5.

A.2.7 Simulació del patró número 6

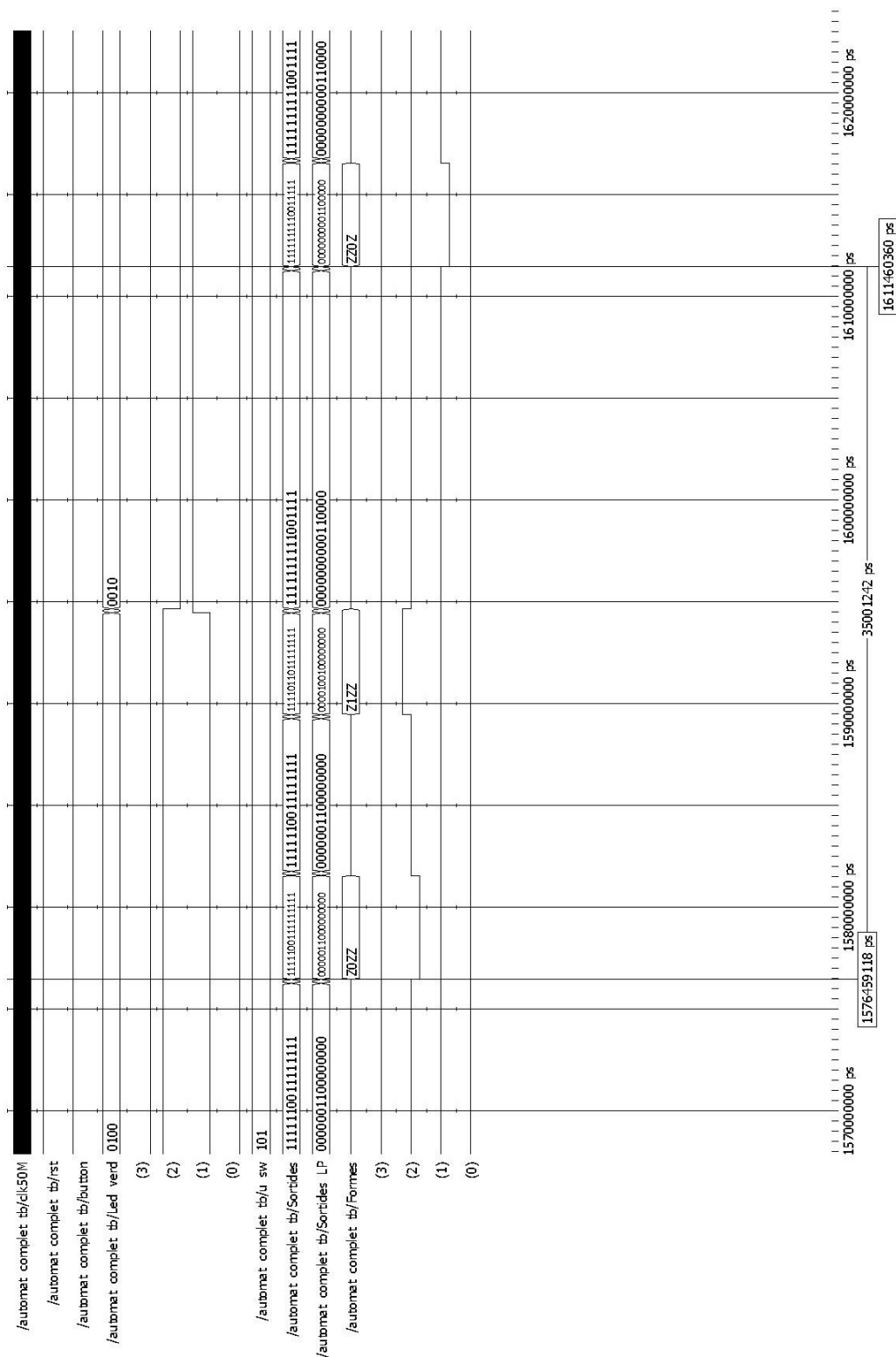
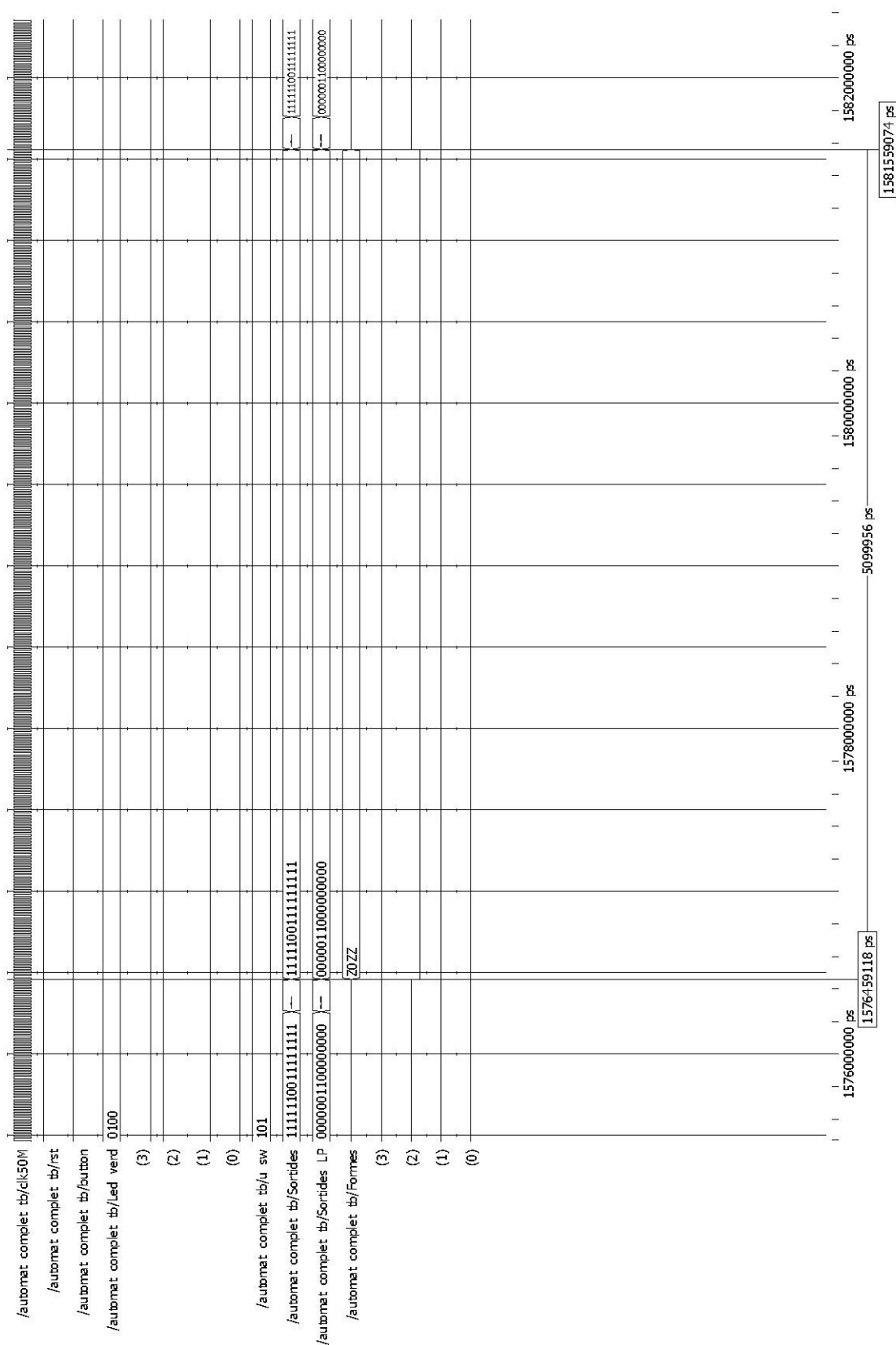


Figura A.37: Comprobació del període T pel patró n^o6.

Figura A.38: Comprobació del temps d0 pel patró n^o6.

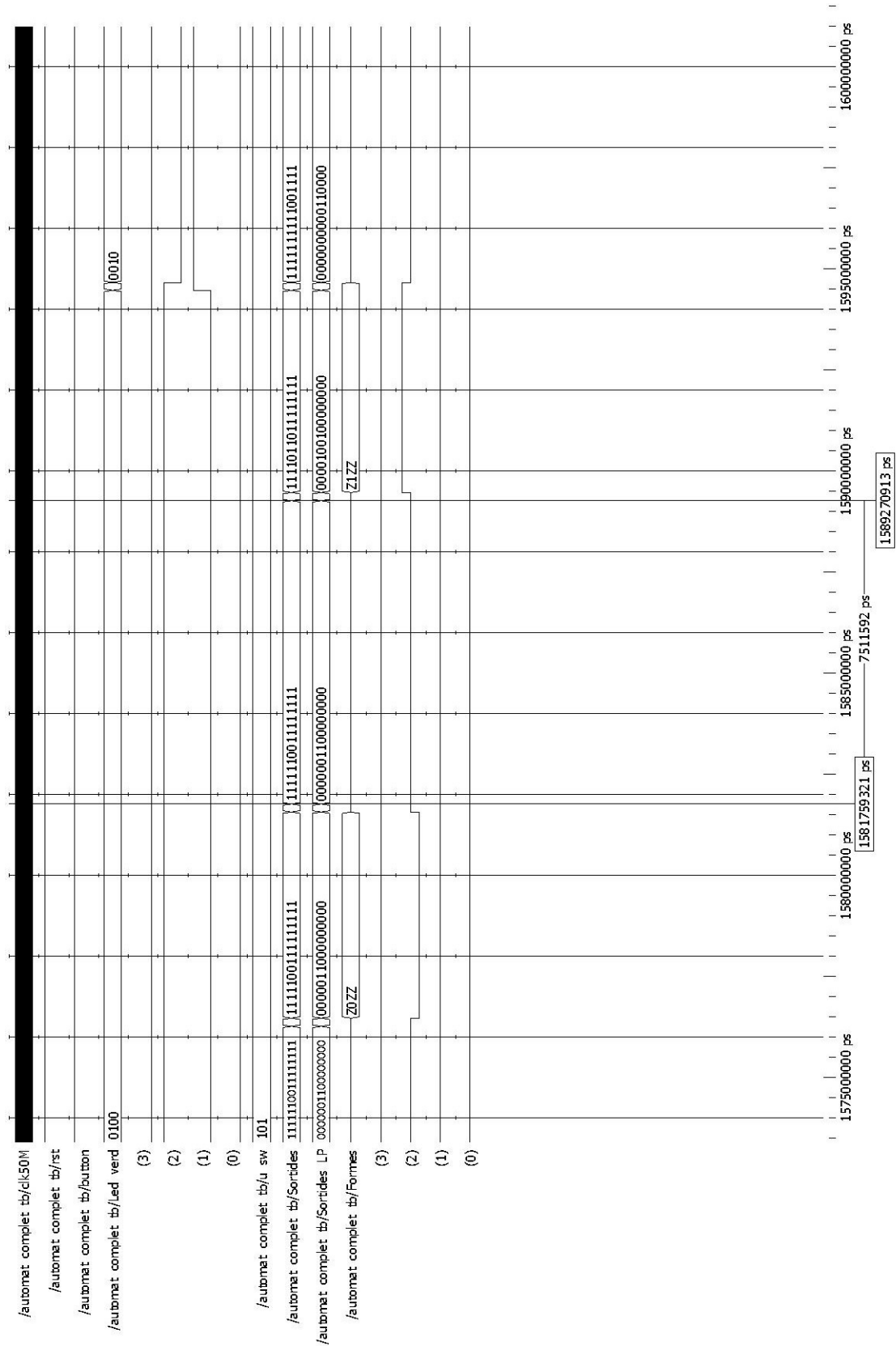


Figura A.39: Comprobació del temps d1 pel patró n^o6.

A.3 Experimentació de l'autòmat

Per tal de comprovar el bon funcionament de l'autòmat dissenyat, s'ha provat en una maqueta. Degut a que el mòdul de comunicació CAN encara no s'ha dissenyat, es podria pensar que no hi ha cap manera de donar-li els valors d'entrada a l'autòmat. Però, el que s'ha decidit és realitzar una petita modificació del codi per tal que els patrons de polsos es puguin triar a través dels microinterruptors que té la placa FPGA.

A.3.1 Muntatge experimental

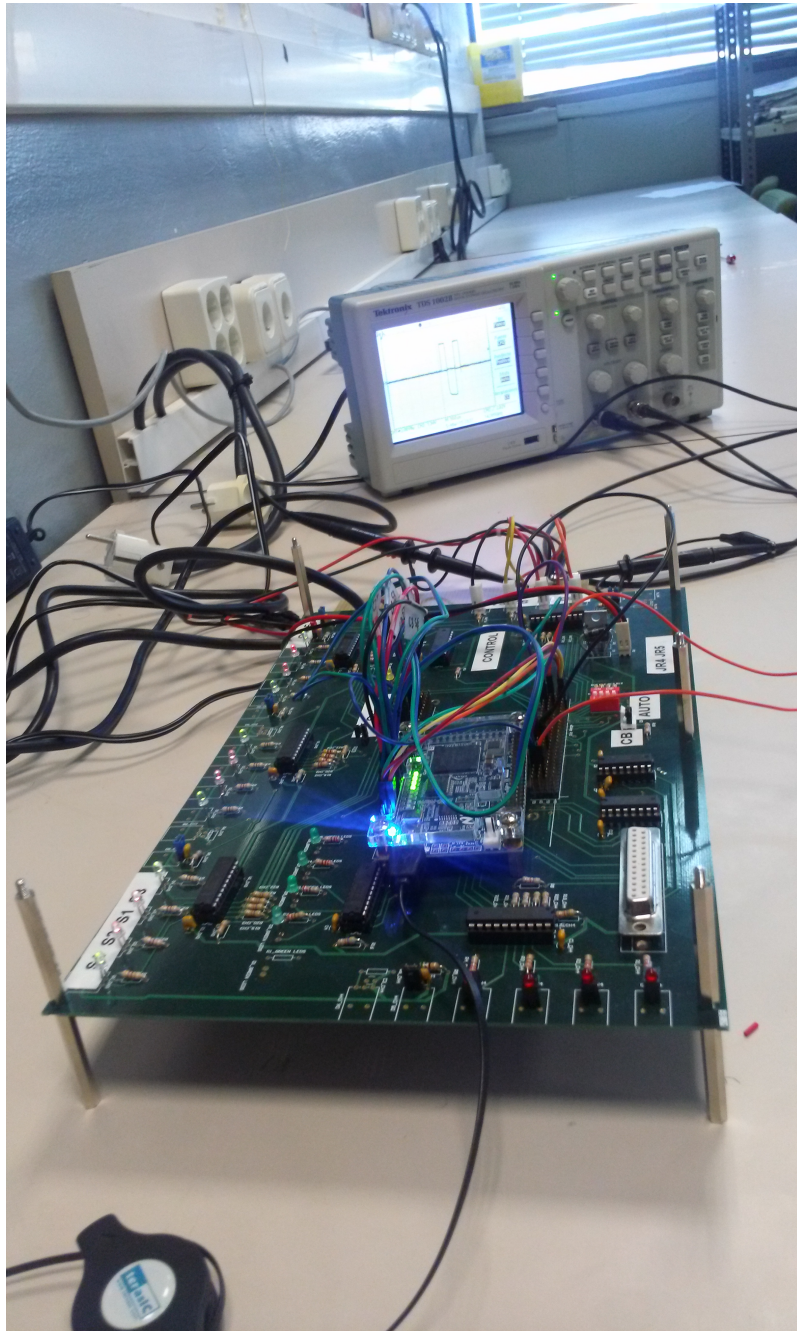


Figura A.40: Muntatge experimental.

A.3.2 Captures de pantalla de l'oscil·loscopi pel patró número 1

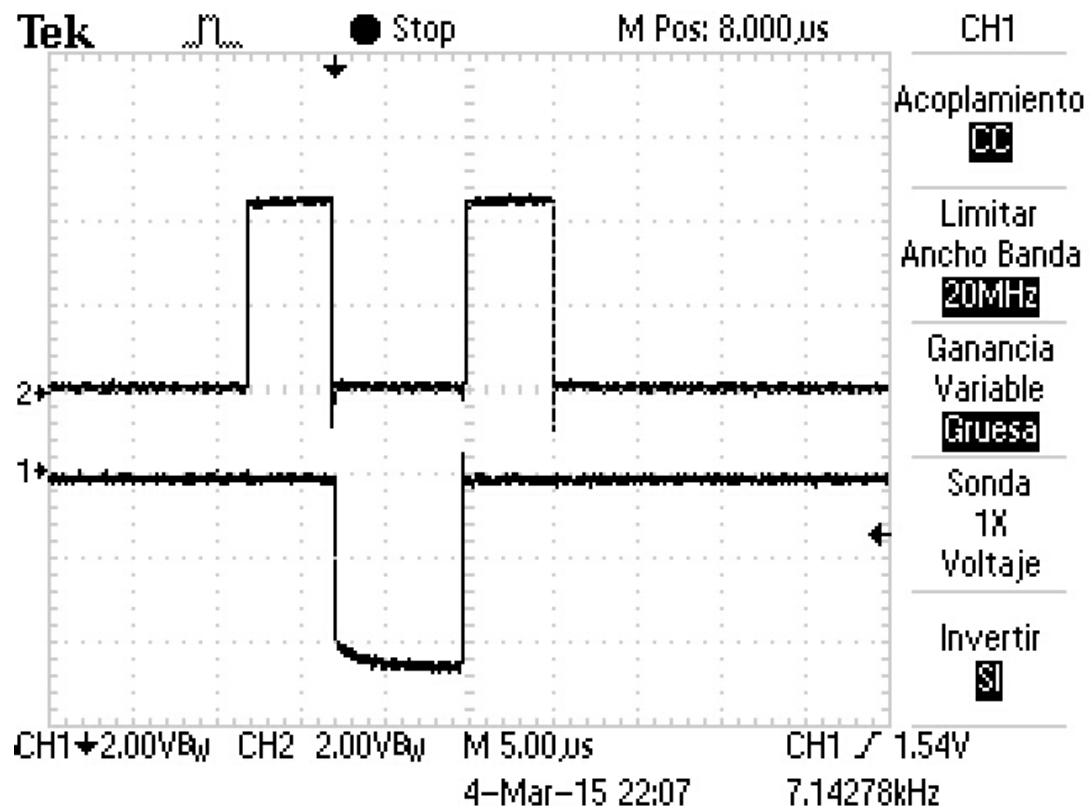


Figura A.41: Comprobació del patró n^o1.

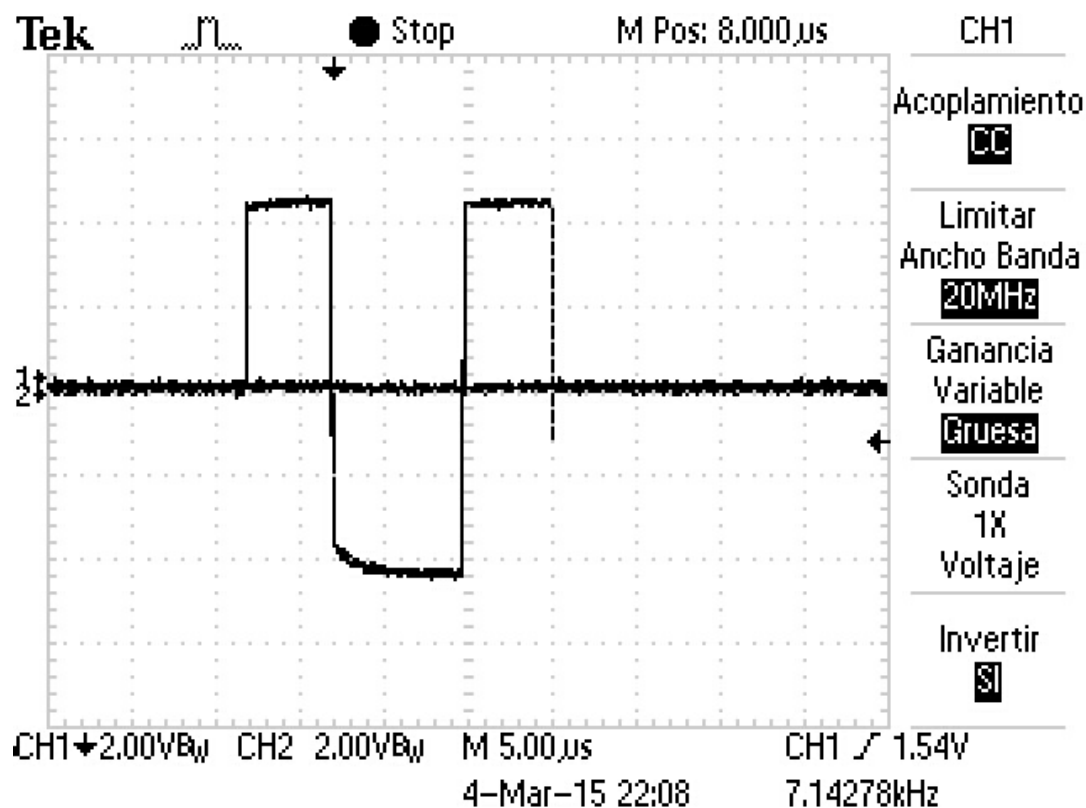


Figura A.42: Comprobació del patró n^o1.

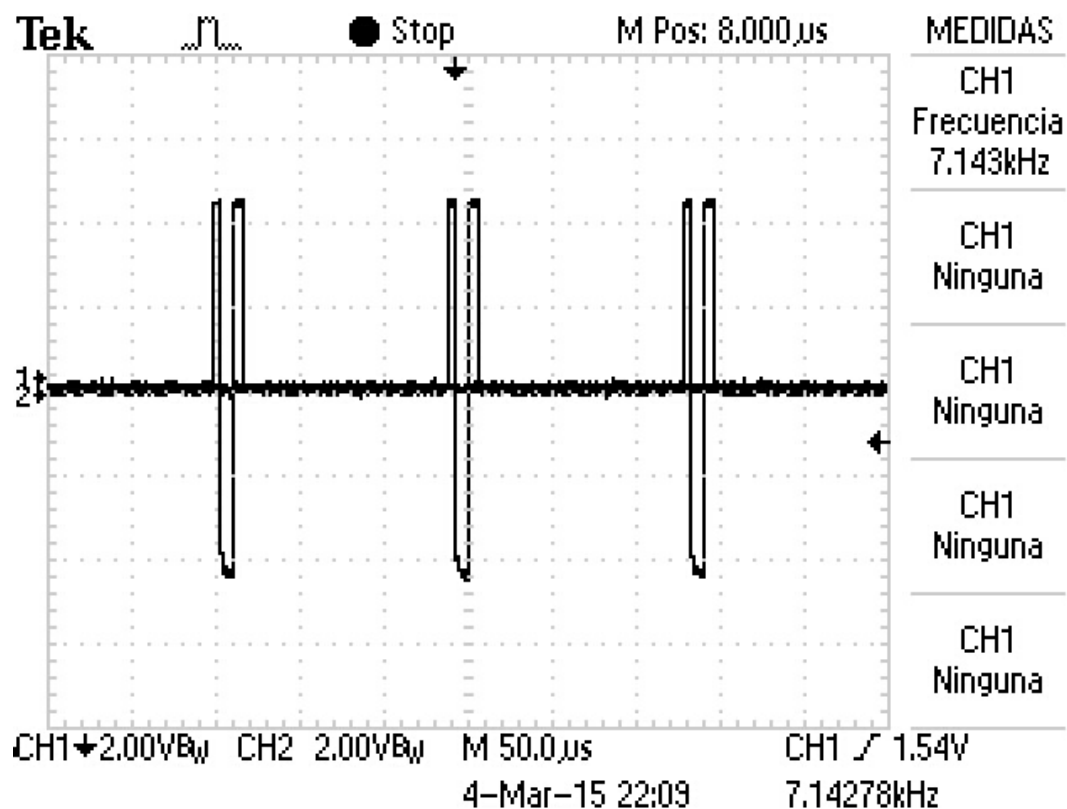


Figura A.43: Comprobació del període T pel patró n^o1.

A.3.3 Captures de pantalla de l'oscil·loscopi pel patró número 2

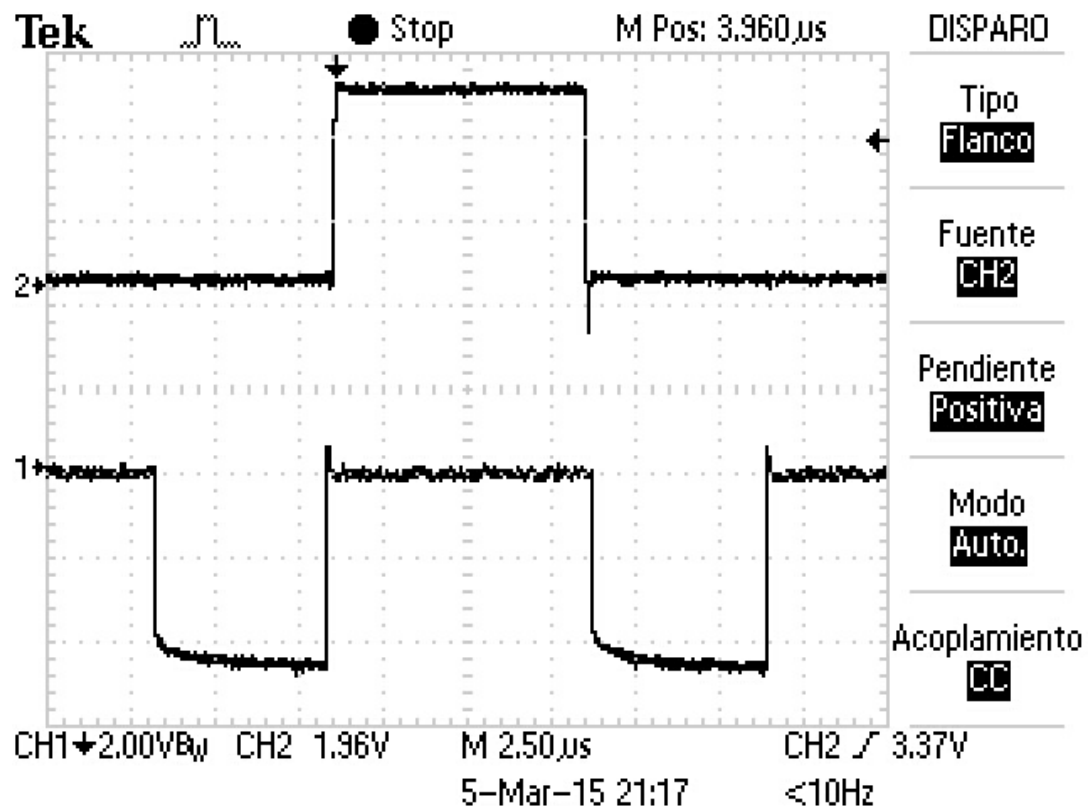


Figura A.44: Comprobació del patró n^o2.

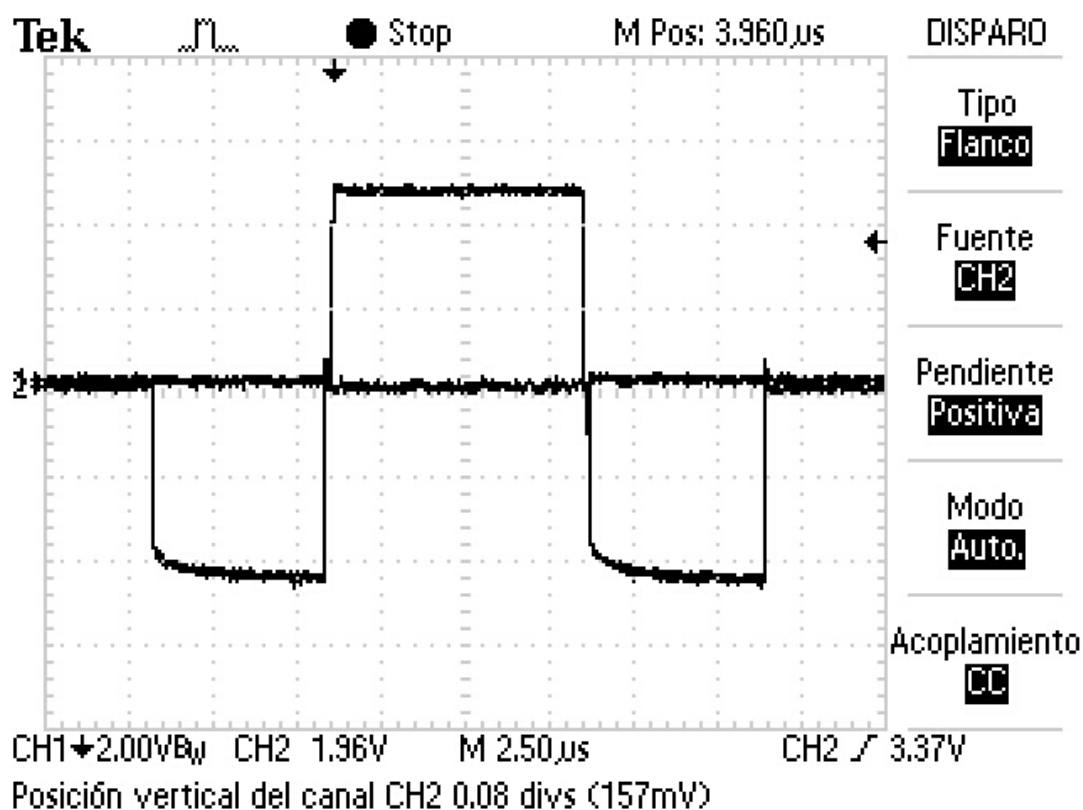


Figura A.45: Comprobació del patró n^o2.

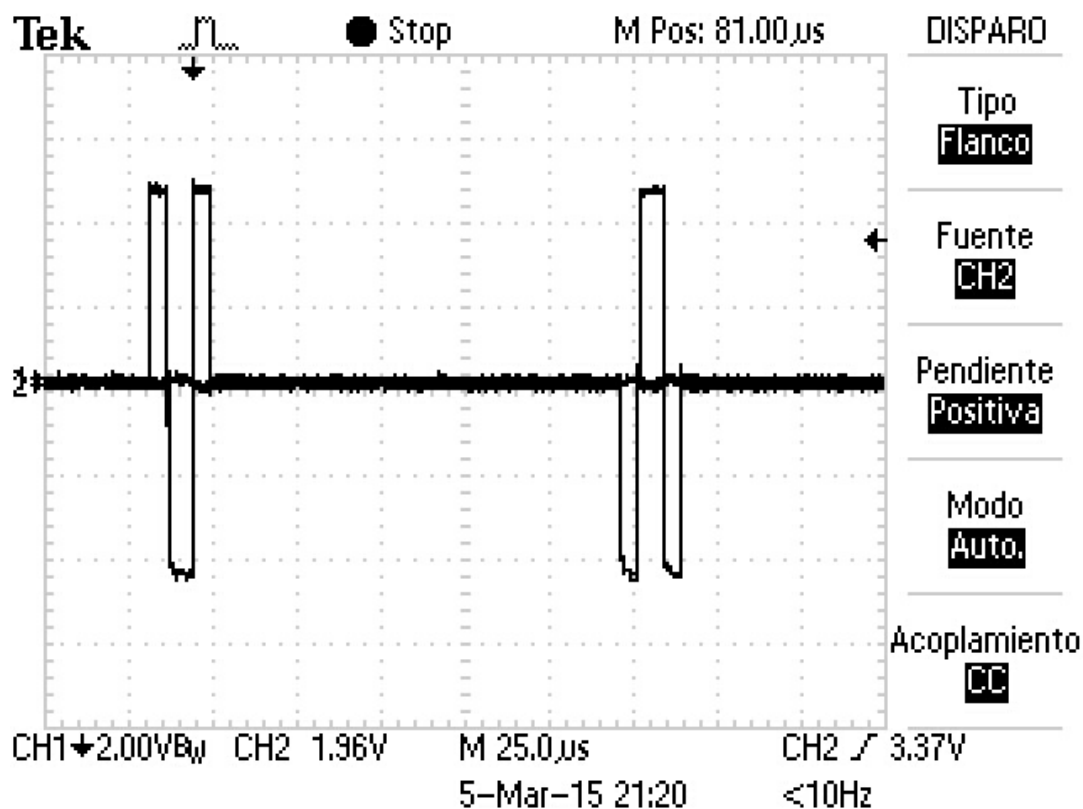


Figura A.46: Comprobació del període T pel patró n^o2.

A.3.4 Captures de pantalla de l'oscil·loscopi pel patró número 3

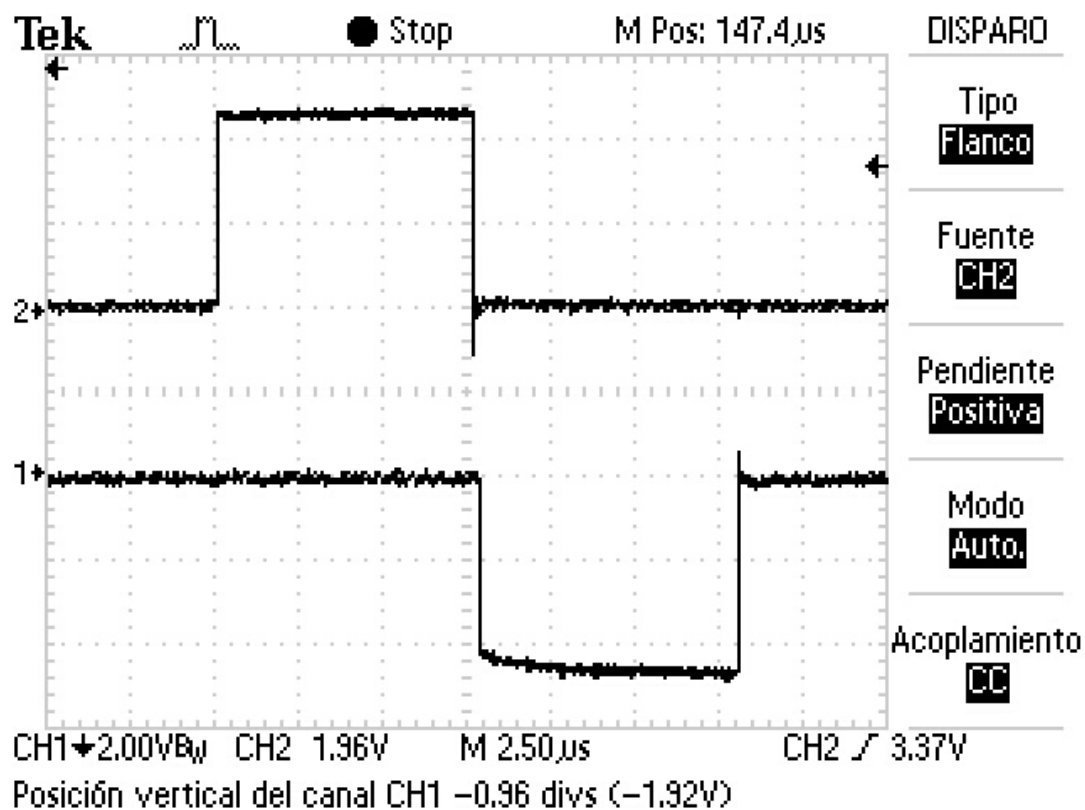
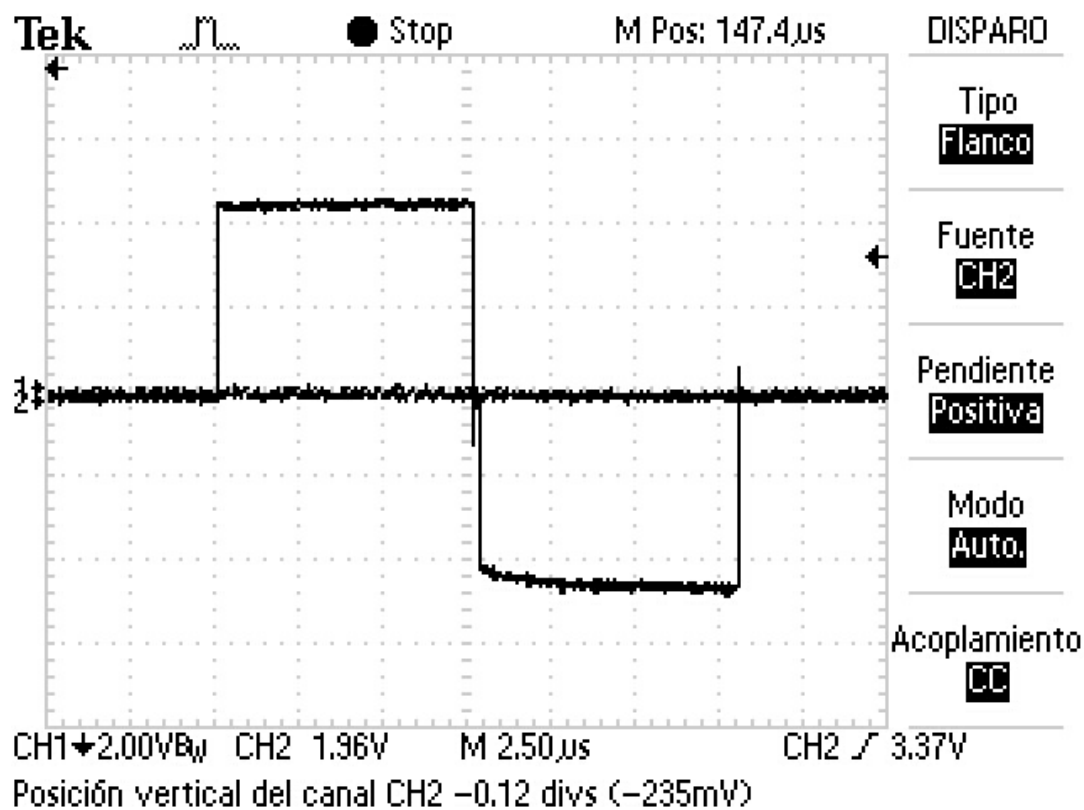
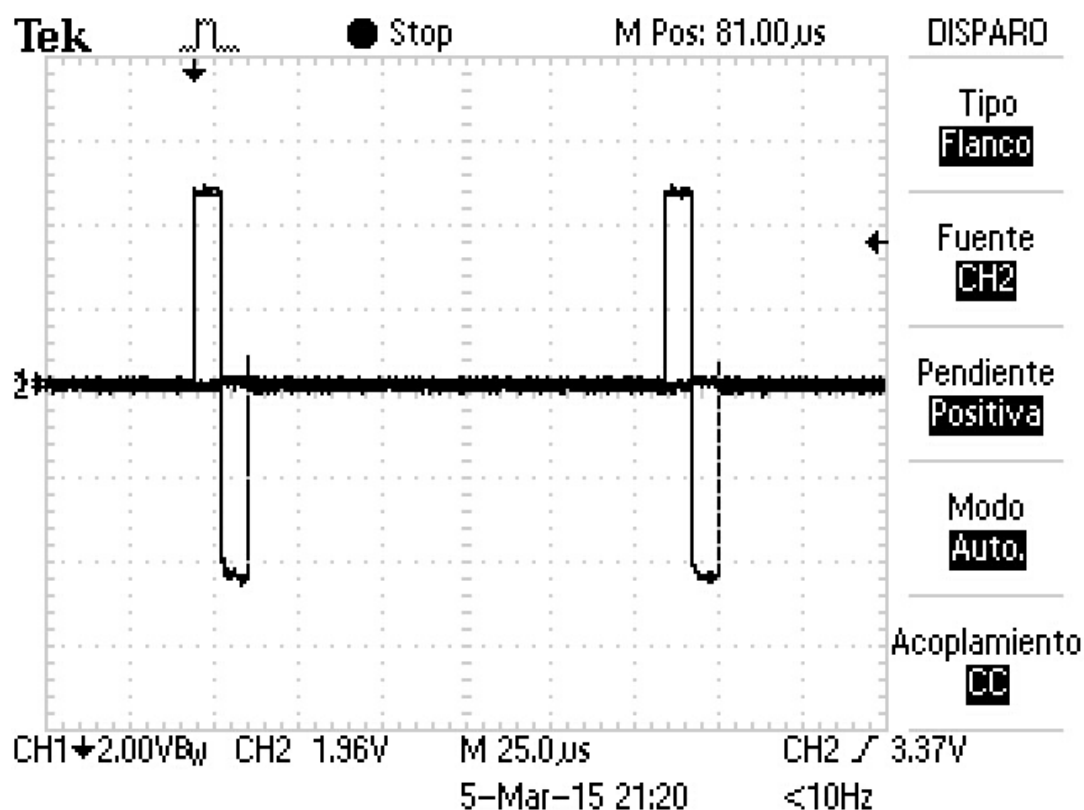


Figura A.47: Comprobació del patró n^o3.

Figura A.48: Comprobació del patró n^o3.Figura A.49: Comprobació del període T pel patró n^o3.

A.3.5 Captures de pantalla de l'oscil·loscopi pel patró número 4

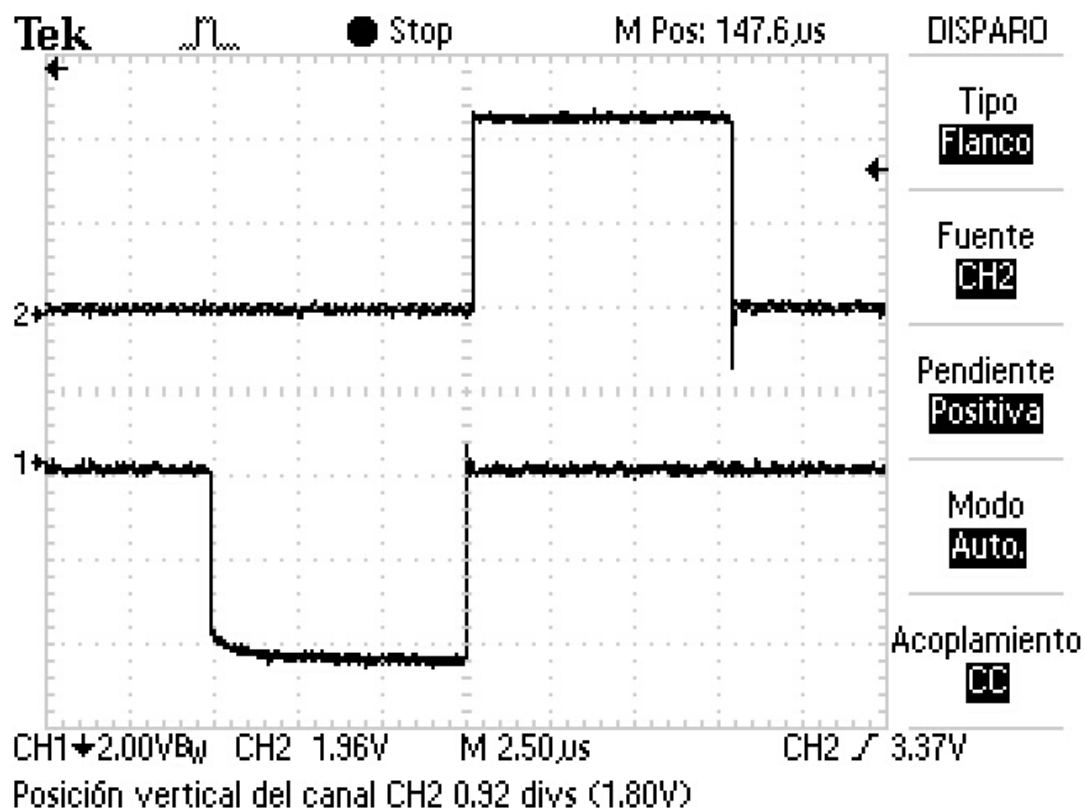
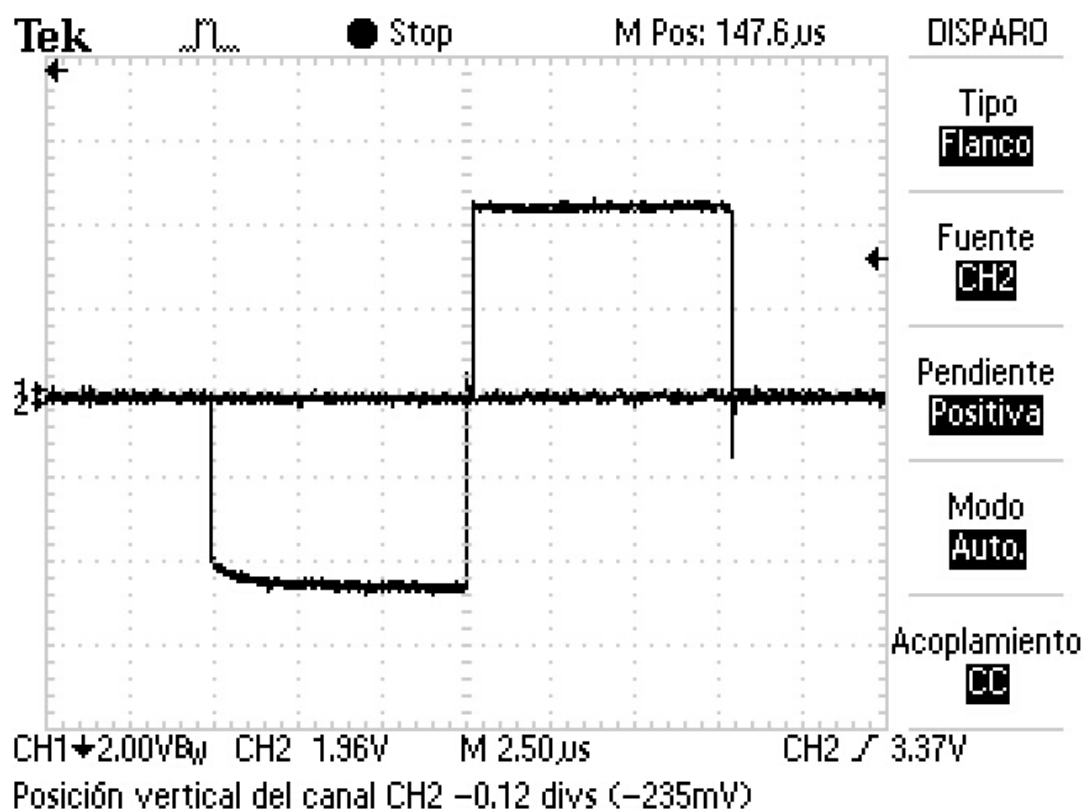
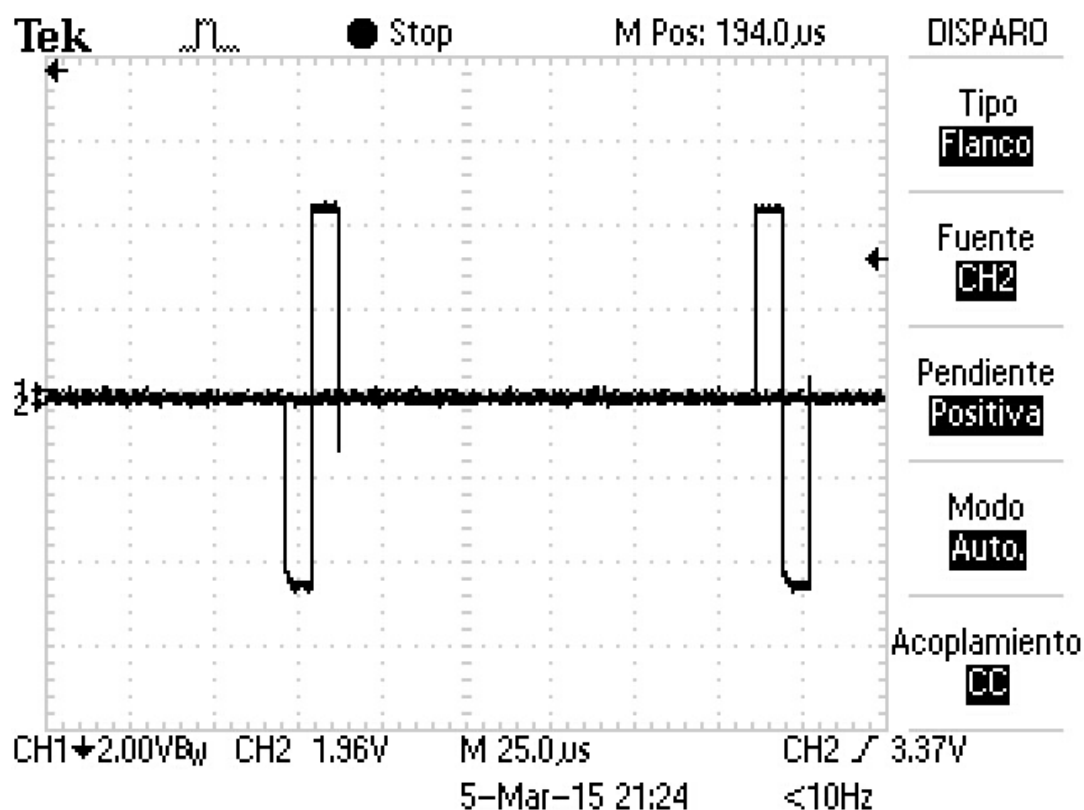


Figura A.50: Comprobació del patró n^o4.

Figura A.51: Comprobació del patró n^o4.Figura A.52: Comprobació del període T pel patró n^o4.

A.3.6 Captures de pantalla de l'oscil·loscopi pel patró número 5

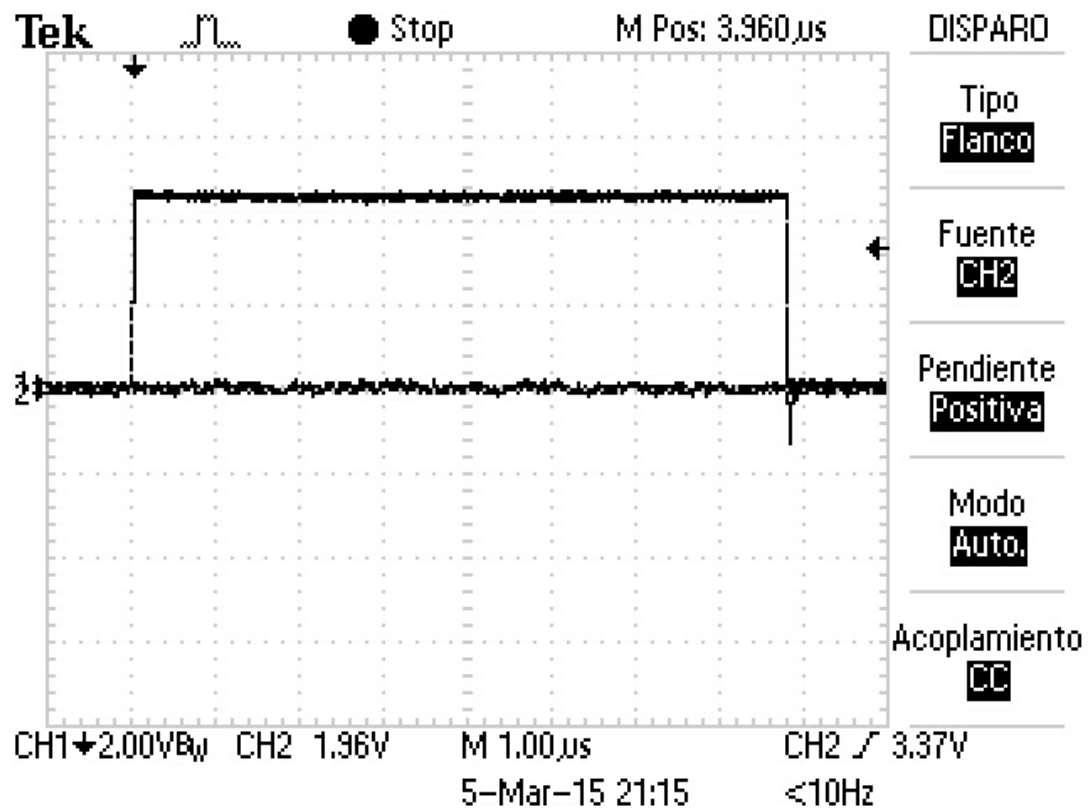


Figura A.53: Comprobació del patró n^o5.

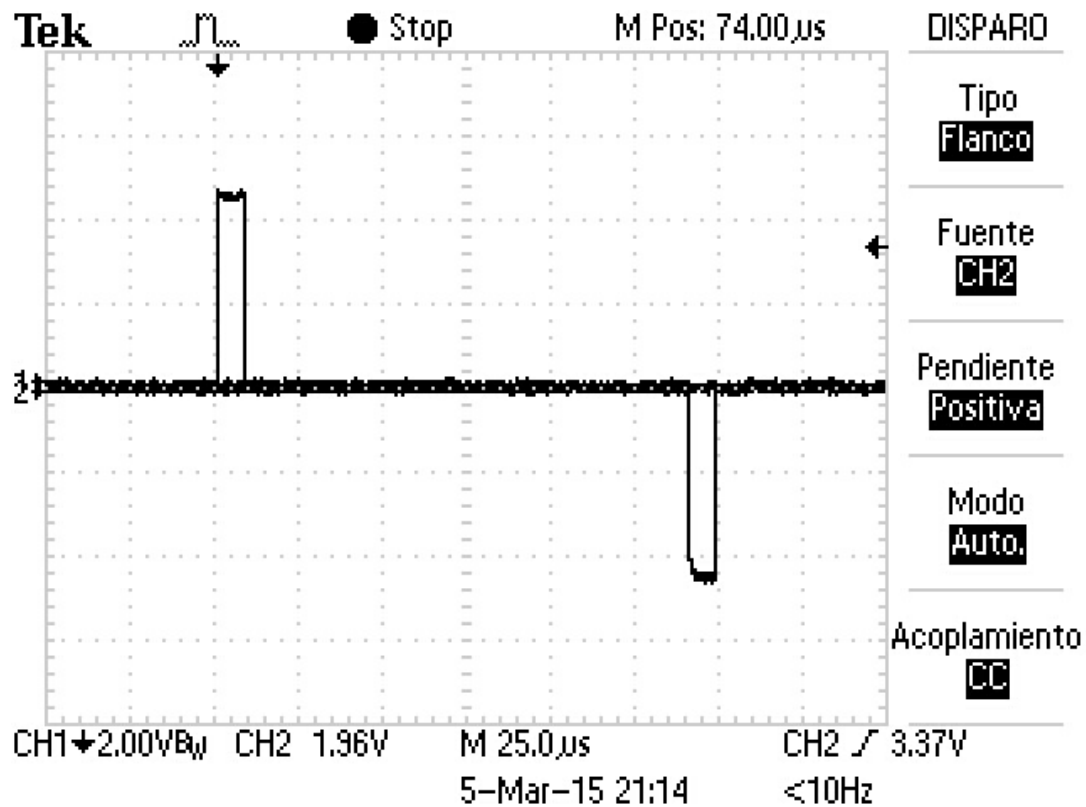


Figura A.54: Comprobació del període T pel patró n^o5.

A.3.7 Captures de pantalla de l'oscil·loscopi pel patró número 6

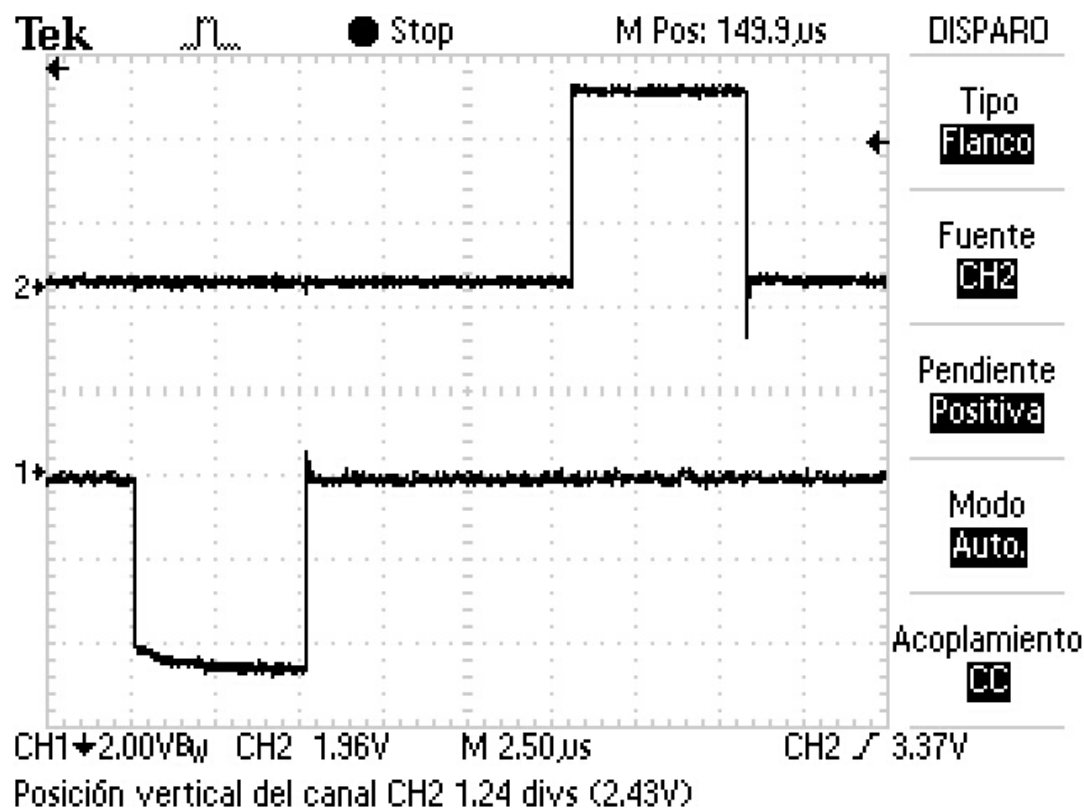


Figura A.55: Comprobació del patró n^o6.

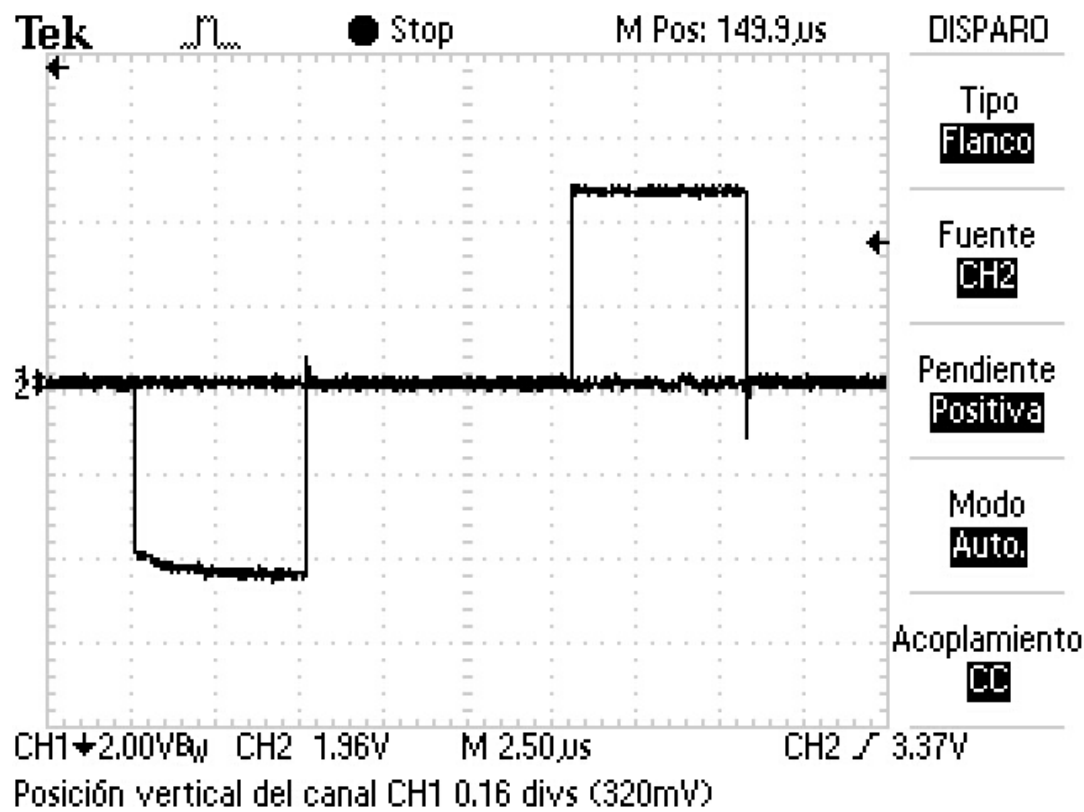


Figura A.56: Comprobació del patró n^o6.

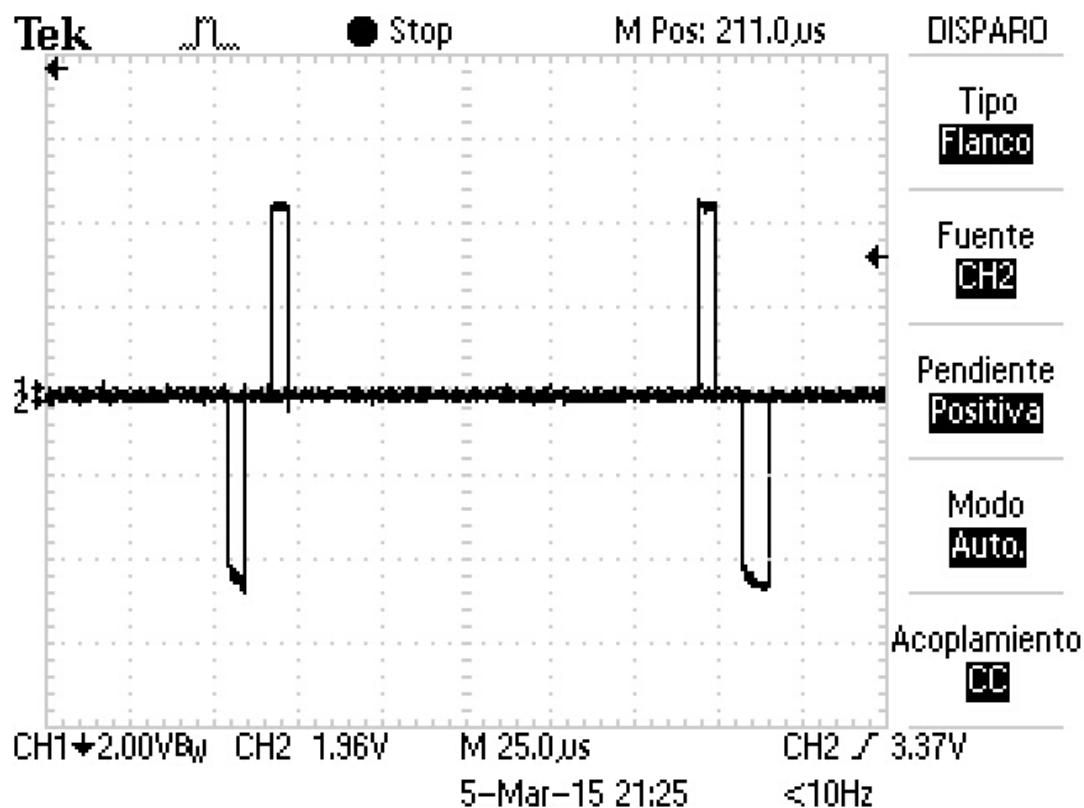


Figura A.57: Comprobació del període T pel patró nº6.

A.4 Simulació de mòdul CAN

Per tal d'aconseguir comunicació mitjançant CAN, en un principi, s'ha simulat el controlador CAN per si sol. A la Figura A.58 s'ha simulat dos blocs CAN, el bloc dut_1 transmet el missatge 55423F00000000000000 (en hexadecimal) on, 55 correspon a l'identificador del missatge, 42 representa la llargada del missatge i les dades en sí només són els 2 *bytes* 3F i 00. El bloc dut_2 el rep el missatge.

A.4.1 Captures dels fitxers de simulació

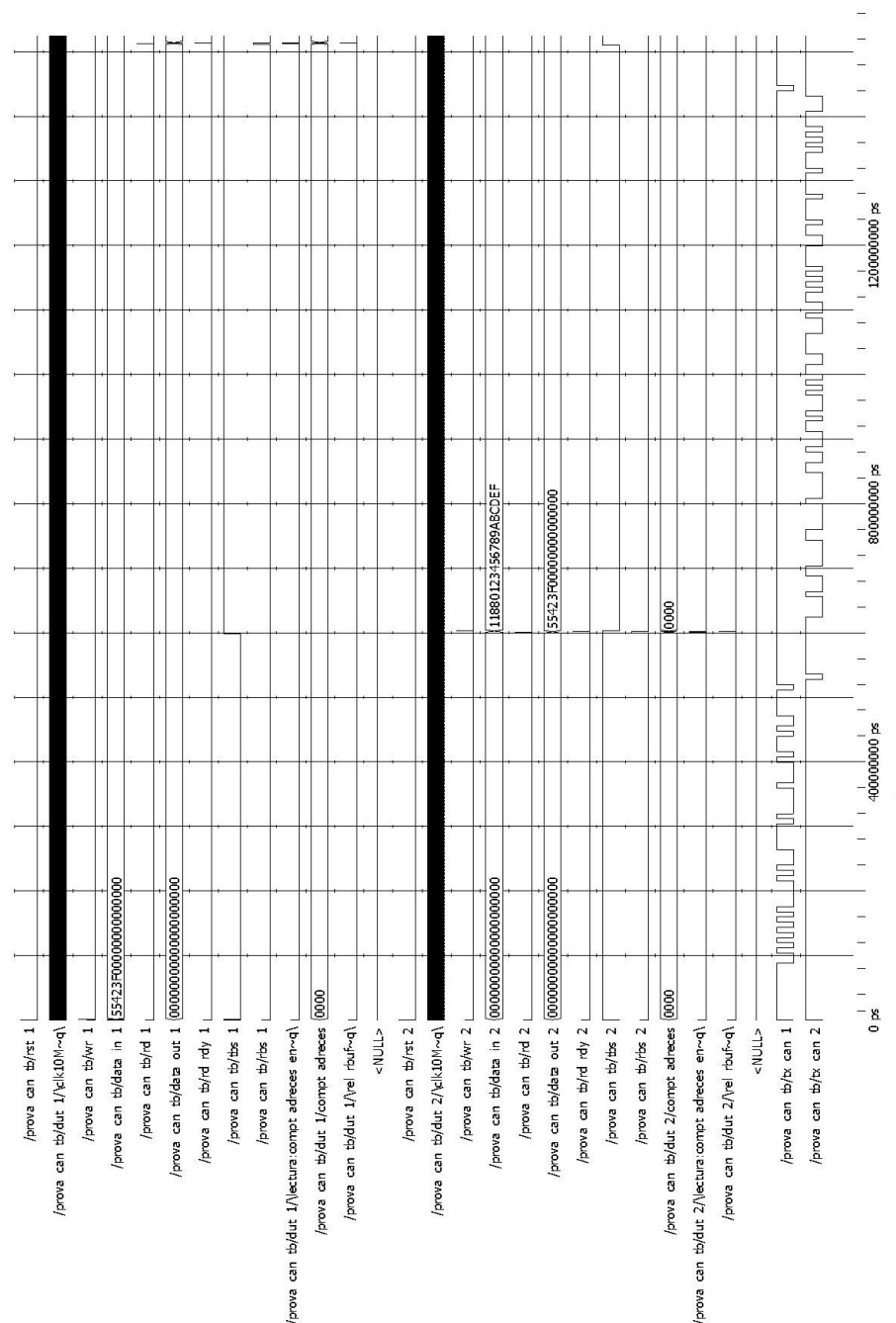


Figura A.58: Simulació del mòdul CAN.

A.5 Proves experimentals del mòdul CAN

En aquest apartat es vol comprovar que el mòdul CAN dissenyat funcioni correctament, per això s'ha creat un autòmat que en detectar que té un missatge en el *Receiver Buffer*, el llegeix i l'escriu en el bus de sortida. Per tal de poder-lo simular s'ha dissenyat en un projecte a part, com si es tractés d'un mòdul independent, però assegurant que les sortides del mòdul CAN corresponen exactament a les entrades de l'autòmat gestor dels missatges. A la Figura A.59 es mostren els blocs descrits anteriorment.

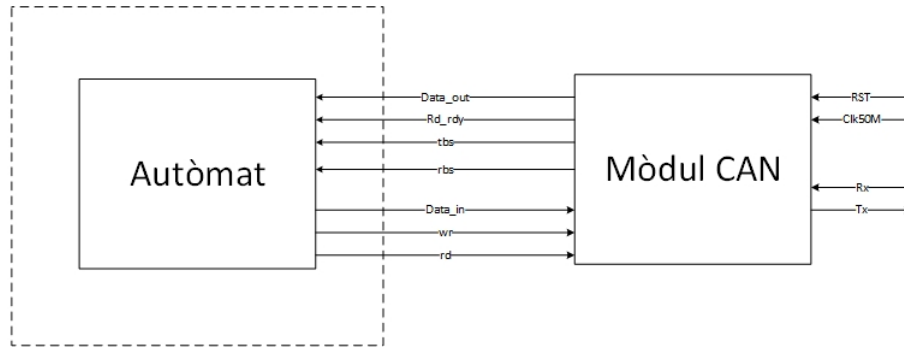


Figura A.59: Esquema del connexionat entre blocs.

A.5.1 Captures dels fitxers de simulació

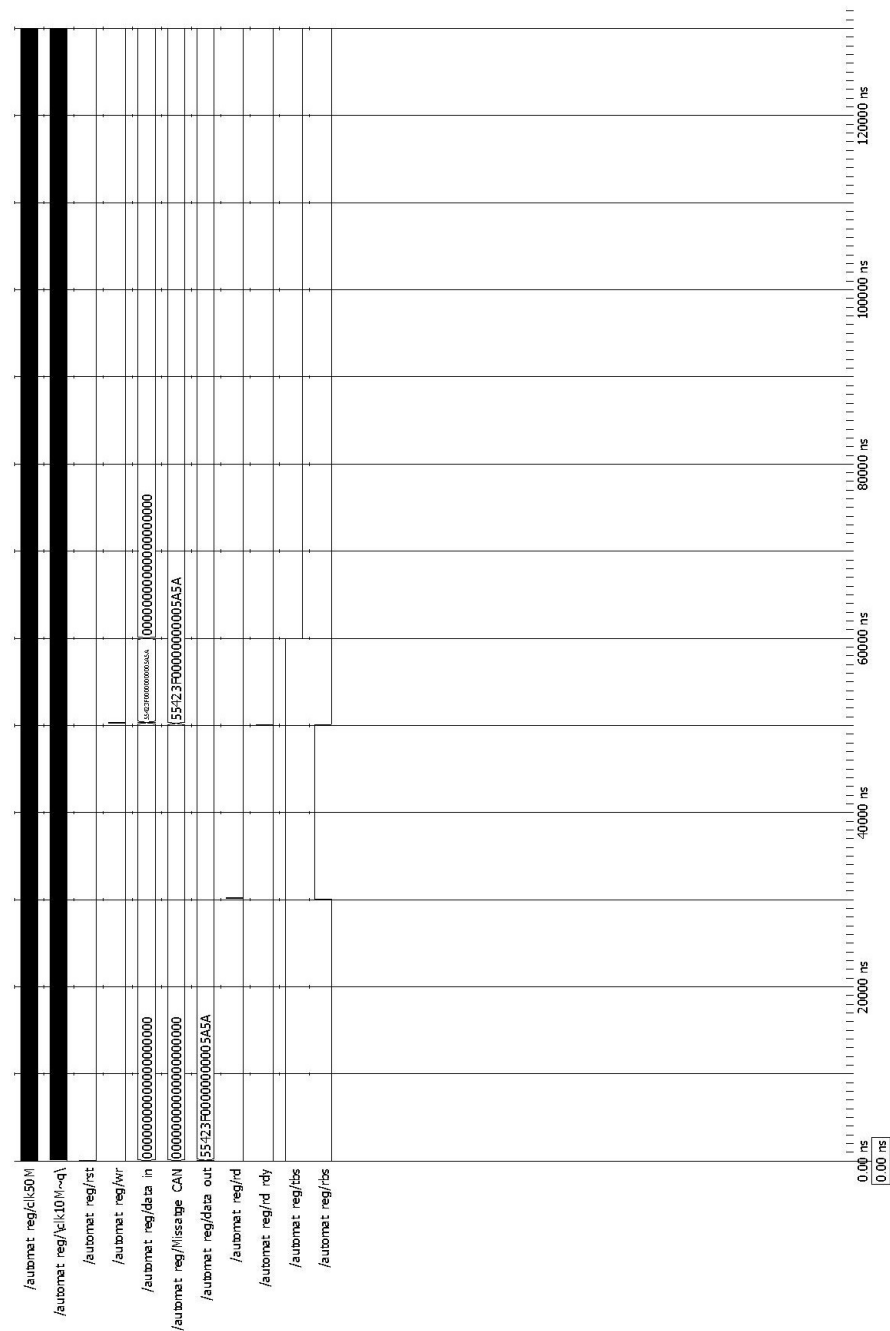


Figura A.60: Simulació de l'autòmat de lectura i escriptura de missatges CAN.

A.5.2 Experimentació del mòdul CAN

Per tal de comprobar el correcte funcionament de l'autòmat que rebota els missatges CAN s'ha realitzat el muntatge de la Figura A.61. A través de l'oscil·loscopi s'ha vist el correcte enviament del missatge CAN, això es pot veure a la Figura A.62 i finalment, la Figura A.63 mostra la captura de pantalla de l'enviament correcte d'un missatge CAN a través del *Software* Canking.

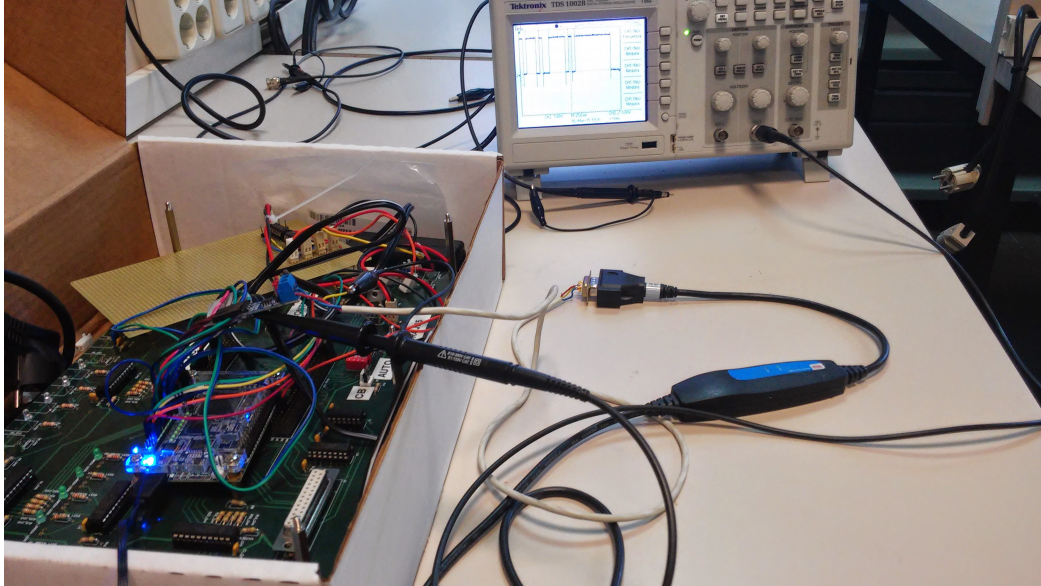


Figura A.61: Muntatge experimental

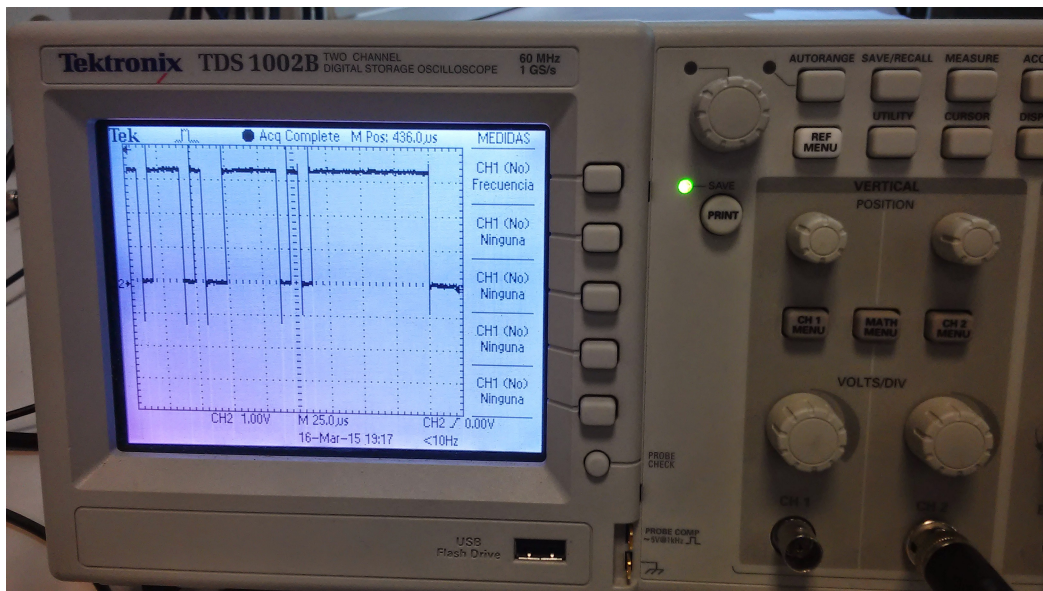


Figura A.62: Imatge de la visualització del missatge CAN a través de l'oscil·loscop

Annex B

Taula completa dels estats que formen l'autòmat

Llistat d'estats i la seva codificació en binari		
Número estat	Nom de l'estat	Codificació en binari
001	Inici	00000000000000000000
002	Pa_c1	10010000000000000000
003	Pa_Ca_c1	11010000000000000000
004	Ca_c1	11000000000000000000
005	Ca_Nb_c1	11100000000000000000
006	Pa_Nb_c1	11110000000000000000
007	Nb_c1	01100000000000000000
008	Nb_Pc_c1	11110000000000000001
009	Pc_c1	10010000000000000001
010	Pa_c2	00001001000000000000
011	Pa_Ca_c2	00001101000000000000
012	Ca_c2	00001100000000000000
013	Ca_Nb_c2	00001110000000000000
014	Pa_Nb_c2	00001111000000000000
015	Nb_c2	00000110000000000000
016	Nb_Pc_c2	00001111000000000001
017	Pc_c2	00001001000000000001
018	Pa_c3	00000001001000000000
019	Pa_Ca_c3	00000000110100000000
020	Ca_c3	00000000110000000000
021	Ca_Nb_c3	00000000111000000000
022	Pa_Nb_c3	00000000111100000000
023	Nb_c3	00000000011000000001
024	Nb_Pc_c3	00000000011100000001
025	Pc_c3	00000000100100000001
026	Pa_c4	00000000000010010000
027	Pa_Ca_c4	00000000000011010000
028	Ca_c4	00000000000011000000
029	Ca_Nb_c4	00000000000011100000
030	Pa_Nb_c4	00000000000011110000
031	Nb_c4	00000000000001100000
032	Nb_Pc_c4	00000000000001110001

033	Pc_c4	00000000000010010001
034	Na_c1	01100000000000000010
035	Na_Cb_c1	01110000000000000000
036	Cb_c1	00110000000000000000
037	Cb_Pb_c1	10110000000000000000
038	Na_Pb_c1	11110000000000000010
039	Pb_c1	10010000000000000010
040	Pb_Nc_c1	11110000000000000011
041	Nc_c1	01100000000000000011
042	Na_c2	00000110000000000010
043	Na_Cb_c2	00000111000000000000
044	Cb_c2	00000011000000000000
045	Cb_Pb_c2	00001011000000000000
046	Na_Pb_c2	00001111000000000010
047	Pb_c2	00001001000000000010
048	Pb_Nc_c2	00001111000000000011
049	Nc_c2	00000110000000000011
050	Na_c3	00000000011000000010
051	Na_Cb_c3	00000000011100000000
052	Cb_c3	00000000011000000000
053	Cb_Pb_c3	00000000101100000000
054	Na_Pb_c3	00000000111100000010
055	Pb_c3	00000000100100000010
056	Pb_Nc_c3	00000000111100000011
057	Nc_c3	00000000011000000011
058	Na_c4	0000000000001100010
059	Na_Cb_c4	0000000000001110000
060	Cb_c4	0000000000000110000
061	Cb_Pb_c4	00000000000010110000
062	Na_Pb_c4	00000000000011110010
063	Pb_c4	00000000000010010010
064	Pb_Nc_c4	00000000000011110011
065	Nc_c4	00000000000001100011
Transicions partint de l'estat S10		
066	T0_S10_S10_1	11010000000000000001
067	T0_S10_S10_2	11000000000000000001
068	T0_S10_S10_3	11010000000000000010
069	T1_S10_S10_1	10110000000000000001
070	T1_S10_S10_2	00110000000000000001
071	T1_S10_S10_3	10110000000000000010
072	T0_S10_S20_1	10011100000000000000
073	T0_S10_S20_2	00001100000000000001
074	T0_S10_S20_3	00001101000000000001
075	T1_S10_S20_1	10010011000000000000
076	T1_S10_S20_2	00000011000000000001
077	T1_S10_S20_3	00001011000000000001
078	T0_S10_S30_1	10010000110000000100
079	T0_S10_S30_2	00000000110000000100
080	T0_S10_S30_3	00000000110100000100
081	T1_S10_S30_1	10010000001100000100
082	T1_S10_S30_2	00000000001100000100

083	T1_S10_S30_3	00000000101100000100
084	T0_S10_S40_1	10010000000000110101
085	T0_S10_S40_2	00000000000011000101
086	T0_S10_S40_3	00000000000010110101
087	T1_S10_S40_1	10010000000000110100
088	T1_S10_S40_2	00000000000000110100
089	T1_S10_S40_3	00000000000010110100
090	T0_S10_S11_1	1101000000000000100
091	T0_S10_S11_2	1111000000000000100
092	T0_S10_S11_3	0111000000000000100
Transicions partint de l'estat S20		
093	T0_S20_S10_1	1100000000000000011
094	T0_S20_S10_2	11000000000000000100
095	T0_S20_S10_3	1101000000000000011
096	T1_S20_S10_1	0011100100000000010
097	T1_S20_S10_2	0011000000000000010
098	T1_S20_S10_3	1011000000000000011
099	T0_S20_S20_1	0000110100000000011
100	T0_S20_S20_2	0000110000000000011
101	T0_S20_S20_3	00001101000000000100
102	T1_S20_S20_1	0000101100000000010
103	T1_S20_S20_2	0000001100000000010
104	T1_S20_S20_3	0000101100000000011
105	T0_S20_S30_1	0000100111000000001
106	T0_S20_S30_2	0000000011000000010
107	T0_S20_S30_3	0000000011010000001
108	T1_S20_S30_1	0000100100110000000
109	T1_S20_S30_2	0000000000110000010
110	T1_S20_S30_3	0000000010110000010
111	T1_S20_S40_1	00001001000000110100
112	T1_S20_S40_2	00000000000000110110
113	T1_S20_S40_3	00000000000010110110
114	T0_S20_S40_1	00001001000011000100
115	T0_S20_S40_2	00000000000011000100
116	T0_S20_S40_3	00000000000011010100
117	T0_S20_S11_1	11001001000000000101
118	T0_S20_S11_2	11000000000000000101
119	T0_S20_S11_3	11100000000000000101
120	T0_S20_S21_1	00001101000000000101
121	T0_S20_S21_2	00001111000000000100
122	T0_S20_S21_3	00000111000000000001
Transicions partint de l'estat S30		
123	T0_S30_S10_1	11000000000000000010
124	T0_S30_S10_2	110000000000000000110
125	T0_S30_S10_3	11010000000000000101
126	T1_S30_S10_1	00110000100100000111
127	T1_S30_S10_2	00110000000000000111
128	T1_S30_S10_3	10110000000000000111
129	T0_S30_S20_1	00001100100100000010
130	T0_S30_S20_2	00001100000000000010

131	T0_S30_S20_3	00001101000000000010
132	T1_S30_S20_1	00000011000000000111
133	T1_S30_S20_2	00000011000000000110
134	T1_S30_S20_3	00001011000000000111
135	T0_S30_S30_1	00000000110100000010
136	T0_S30_S30_2	00000000110000000011
137	T0_S30_S30_3	00000000110100000011
138	T1_S30_S30_1	00000000101100000111
139	T1_S30_S30_2	00000000001100000111
140	T1_S30_S30_3	00000000101100000101
141	T0_S30_S40_1	00000000100111000000
142	T0_S30_S40_2	00000000000011000010
143	T0_S30_S40_3	00000000000011010010
144	T1_S30_S40_1	00000000100100110111
145	T1_S30_S40_2	00000000000000110111
146	T1_S30_S40_3	00000000000010110111
147	T0_S30_S11_1	11000000000000000111
148	T0_S30_S11_2	11000000000000000100
149	T0_S30_S11_3	11100000000000000110
150	T0_S30_S21_1	00001100100100000101
151	T0_S30_S21_2	00001100000000000101
152	T0_S30_S21_3	00001110000000000101
153	T0_S30_S31_1	00000000110100000101
154	T0_S30_S31_2	00000000111100000100
155	T0_S30_S31_3	00000000011100000001
Transicions partint de l'estat S40		
156	T0_S40_S10_1	11000000000010010011
157	T0_S40_S10_2	110000000000000001001
158	T0_S40_S10_3	11010000000000000110
159	T1_S40_S10_1	00110000000000000100
160	T1_S40_S10_2	00110000000000000101
161	T1_S40_S10_3	10110000000000000100
162	T0_S40_S20_1	00001100000010010011
163	T0_S40_S20_2	00001100000000000100
164	T0_S40_S20_3	00001101000000000110
165	T1_S40_S20_1	00000011000010010100
166	T1_S40_S20_2	00000011000000000100
167	T1_S40_S20_3	00001011000000000100
168	T0_S40_S30_1	00000000110010010011
169	T0_S40_S30_2	00000000110000000101
170	T0_S40_S30_3	00000000110100000110
171	T1_S40_S30_1	00000000001110010100
172	T1_S40_S30_2	00000000001100000101
173	T1_S40_S30_3	00000000101100000110
174	T0_S40_S40_1	00000000000011010011
175	T0_S40_S40_2	00000000000011000011
176	T0_S40_S40_3	00000000000011010101
177	T1_S40_S40_1	00000000000010111000
178	T1_S40_S40_2	00000000000000111000
179	T1_S40_S40_3	00000000000010111001
180	T0_S40_S11_1	11000000000010010101

181	T0_S40_S11_2	11000000000000001010
182	T0_S40_S11_3	11100000000000000111
183	T0_S40_S21_1	00001100000000000110
184	T0_S40_S21_2	00001100000000000111
185	T0_S40_S21_3	00001110000000000110
186	T0_S40_S31_1	00000000110001100101
187	T0_S40_S31_2	00000000110000000110
188	T0_S40_S31_3	00000000110100000111
189	T0_S40_S41_1	00000000000011010110
190	T0_S40_S41_2	00000000000011110110
191	T0_S40_S41_3	00000000000001110010
Transicions partint de l'estat S11		
192	T1_S11_S21_1	01100011000000000010
193	T1_S11_S21_2	00000011000000000011
194	T1_S11_S21_3	00000111000000000011
195	T1_S11_S31_1	01100000001100000011
196	T1_S11_S31_2	00000000001100000011
197	T1_S11_S31_3	00000000011100000100
198	T1_S11_S41_1	0110000000000110011
199	T1_S11_S41_2	0000000000000110011
200	T1_S11_S41_3	00000000000001111001
201	T1_S11_S10_1	01110000000000000001
202	T1_S11_S10_2	11110000000000000101
203	T1_S11_S10_3	10110000000000000101
Transicions partint de l'estat S21		
204	T1_S21_S31_1	00000110001100000010
205	T1_S21_S31_2	00000000001100000110
206	T1_S21_S31_3	00000000011100000011
207	T1_S21_S41_1	00000110000000110011
208	T1_S21_S41_2	0000000000000111010
209	T1_S21_S41_3	00000000000010110011
210	T1_S21_S10_1	00110110000000000011
211	T1_S21_S10_2	00110000000000000011
212	T1_S21_S10_3	10110000000000000110
213	T1_S21_S20_1	00000111000000000100
214	T1_S21_S20_2	00001111000000000101
215	T1_S21_S20_3	00001011000000000101
Transicions partint de l'estat S31		
216	T1_S31_S41_1	00000000011000110010
217	T1_S31_S41_2	00000000000000111001
218	T1_S31_S41_3	00000000000001110011
219	T1_S31_S10_1	00110000011000000011
220	T1_S31_S10_2	00110000000000000110
221	T1_S31_S10_3	10110000000000001000
222	T1_S31_S20_1	00000011000000000101
223	T1_S31_S20_2	00000011000000001000
224	T1_S31_S20_3	00000111000000000101
225	T1_S31_S30_1	00000000011100000010
226	T1_S31_S30_2	00000000111100000101
227	T1_S31_S30_3	00000000110100001001

Transicions partint de l'estat S41		
228	T1_S41_S10_1	00110000000001100011
229	T1_S41_S10_2	00110000000000001000
230	T1_S41_S10_3	10110000000000001001
231	T1_S41_S20_1	00000011000001100011
232	T1_S41_S20_2	00000011000000001001
233	T1_S41_S20_3	00001011000000000110
234	T1_S41_S30_1	00000000001101100011
235	T1_S41_S30_2	00000000001100001001
236	T1_S41_S30_3	00000000101100001000
237	T1_S41_S40_1	00000000000001110100
238	T1_S41_S40_2	000000000000011110100
239	T1_S41_S40_3	000000000000011011000
Transicions partint de l'estat S10 pel patro 101		
240	T0_S10_S10_1.010	11100000000000000001
241	T1_S10_S10_1.010	01110000000000000010
242	T0_S10_S20_1.010	01101100000000000000
243	T1_S10_S20_1.010	01100011000000000000
244	T0_S10_S30_1.010	01100000110000000100
245	T1_S10_S30_1.010	01100000001100000100
246	T0_S10_S40_1.010	00000110000000110101
247	T1_S10_S40_1.010	000001100000000110100
Transicions partint de l'estat S20 pel patro 101		
248	T0_S20_S10_1.010	11000110000000000001
249	T1_S20_S10_1.010	00110110000000000010
250	T0_S20_S20_1.010	00001110000000000001
251	T1_S20_S20_1.010	00000111000000000010
252	T0_S20_S30_1.010	00000110001100000001
253	T1_S20_S30_1.010	00000110110000000001
254	T0_S20_S40_1.010	00000110000011000100
255	T1_S20_S40_1.010	00000110000000110110
Transicions partint de l'estat S30 pel patro 101		
256	T0_S30_S10_1.010	11000000011000000010
257	T1_S30_S10_1.010	00110000011000000111
258	T0_S30_S20_1.010	00001100011000000010
259	T1_S30_S20_1.010	00000011011000000111
260	T0_S30_S30_1.010	00000000111000000010
261	T1_S30_S30_1.010	00000000011100000111
262	T0_S30_S40_1.010	00000000011000110100
263	T1_S30_S40_1.010	00000000011011000111
Transicions partint de l'estat S40 pel patro 101		
264	T0_S40_S10_1.010	11000000011000000011
265	T1_S40_S10_1.010	00110000011000000100
266	T0_S40_S20_1.010	00001100000001100011
267	T1_S40_S20_1.010	00000011000001100100
268	T0_S40_S30_1.010	00000000110011000011
269	T1_S40_S30_1.010	00000000001101100100
270	T0_S40_S40_1.010	00000000000011100001
271	T1_S40_S40_1.010	00000000000001110001
Transicions partint de l'estat S10 pel patro 011		

272	T0_S10_S11_1_011	11100000000000000010
273	T0_S10_S20_1_011	01101100000000000001
274	T0_S10_S30_1_011	01100000110000000000
275	T0_S10_S40_1_011	01100000000011000000
Transicions partint de l'estat S20 pel patro 011		
276	T0_S20_S11_1_011	11000110000000000000
277	T0_S20_S21_1_011	00001110000000000010
278	T0_S20_S30_1_011	00000110110000000010
279	T0_S20_S40_1_011	00000110000011000010
Transicions partint de l'estat S30 pel patro 011		
280	T0_S30_S11_1_011	11000000100100000001
281	T0_S30_S21_1_011	00000000110001100000
282	T0_S30_S31_1_011	00000000110100001010
283	T0_S30_S40_1_011	0000000011011000000
Transicions partint de l'estat S40 pel patro 011		
284	T0_S40_S11_1_011	11000000000001100000
285	T0_S40_S21_1_011	00001100000001100010
286	T0_S40_S31_1_011	00000000110001100010
287	T0_S40_S41_1_011	00000000000011100010
Transicions partint de l'estat S11 pel patro 011		
288	T1_S11_S10_1_011	10110000000000001010
289	T1_S11_S21_1_011	10011100000000000010
290	T1_S11_S31_1_011	10010000001100000010
291	T1_S11_S41_1_011	10010000000000110010
Transicions partint de l'estat S21 pel patro 011		
292	T1_S21_S10_1_011	00111001000000000011
293	T1_S21_S20_1_011	00001011000000001000
294	T1_S21_S31_1_011	00001001001100000010
295	T1_S21_S41_1_011	00000000100100110010
Transicions partint de l'estat S31 pel patro 011		
296	T1_S31_S10_1_011	00110000100100000010
297	T1_S31_S20_1_011	00000011100100000010
298	T1_S31_S30_1_011	00000000101100001001
299	T1_S31_S41_1_011	00000000100100110011
Transicions partint de l'estat S41 pel patro 011		
300	T1_S41_S10_1_011	00110000000010010010
301	T1_S41_S20_1_011	00000011000010010010
302	T1_S41_S30_1_011	00000000001110010010
303	T1_S41_S40_1_011	00000000000010111011
Transicions partint de l'estat S10 pel patro 100		
304	T0_S10_S11_1_100	11100000000000000011
305	T0_S10_S20_1_100	10011100000000000011
306	T0_S10_S30_1_100	10010000110000000000
307	T0_S10_S40_1_100	10010000000010010000
Transicions partint de l'estat S20 pel patro 100		
308	T0_S20_S11_1_100	11001001000000000010
309	T0_S20_S21_1_100	00001110000000000011
310	T0_S20_S30_1_100	00001001110000000010
311	T0_S20_S40_1_100	00001001000011000010
Transicions partint de l'estat S30 pel patro 100		

312	T0_S30_S11_1_100	11000000100100000000
313	T0_S30_S21_1_100	00001100100100000011
314	T0_S30_S31_1_100	00000000110010010010
315	T0_S30_S40_1_100	00000000000011011001
Transicions partint de l'estat S40 pel patro 100		
316	T0_S40_S11_1_100	11000000000010010000
317	T0_S40_S21_1_100	00001100000010010010
318	T0_S40_S31_1_100	00000000110010010100
319	T0_S40_S41_1_100	00000000000011011010
Transicions partint de l'estat S11 pel patro 100		
320	T1_S11_S10_1_100	01110000000000000011
321	T1_S11_S21_1_100	01100011000000000011
322	T1_S11_S31_1_100	01100000001100000010
323	T1_S11_S41_1_100	01100000000000110010
Transicions partint de l'estat S21 pel patro 100		
324	T1_S21_S10_1_100	10010011000000000010
325	T1_S21_S20_1_100	00000111000000000110
326	T1_S21_S31_1_100	00000111000000000111
327	T1_S21_S41_1_100	00000111000000001000
Transicions partint de l'estat S31 pel patro 100		
328	T1_S31_S10_1_100	00110000011000000010
329	T1_S31_S20_1_100	00000011011000000010
330	T1_S31_S30_1_100	00000000011100000101
331	T1_S31_S41_1_100	00000000011000110101
Transicions partint de l'estat S41 pel patro 100		
332	T1_S41_S10_1_100	00110000000010010011
333	T1_S41_S20_1_100	00000011000001100010
334	T1_S41_S30_1_100	00000000001101100010
335	T1_S41_S40_1_100	00000000000001110101
Transicions partint de l'estat S10 pel patro 101		
336	T0_S10_S11_1_101	111000000000000000100
337	T0_S10_S20_1_101	01101100000000000011
338	T0_S10_S30_1_101	01100000110000000001
339	T0_S10_S40_1_101	01100000000011000001
Transicions partint de l'estat S20 pel patro 101		
340	T0_S20_S11_1_101	11000110000000000010
341	T0_S20_S21_1_101	00001110000000000100
342	T0_S20_S30_1_101	00000110110000000011
343	T0_S20_S40_1_101	00000110000011000011
Transicions partint de l'estat S30 pel patro 101		
344	T0_S30_S11_1_101	11000000011000000000
345	T0_S30_S21_1_101	00001100011000000011
346	T0_S30_S31_1_101	00000000111000000011
347	T0_S30_S40_1_101	00000000011011001001
Transicions partint de l'estat S40 pel patro 101		
348	T0_S40_S11_1_101	11000000000001100001
349	T0_S40_S21_1_101	00001100000001100100
350	T0_S40_S31_1_101	00000000110001100100
351	T0_S40_S41_1_101	00000000000011101010
Transicions partint de l'estat S11 pel patro 101		

352	T1_S11_S10_1_101	01110000000000000101
353	T1_S11_S21_1_101	10010011000000000011
354	T1_S11_S31_1_101	10010000001100000011
355	T1_S11_S41_1_101	10010000000000110011
Transicions partint de l'estat S21 pel patro 101		
356	T1_S21_S10_1_101	00111001000000000100
357	T1_S21_S20_1_101	00000111000000001001
358	T1_S21_S31_1_101	00001001001100000111
359	T1_S21_S41_1_101	00001001000000111000
Transicions partint de l'estat S31 pel patro 101		
360	T1_S31_S10_1_101	00110000100100000011
361	T1_S31_S20_1_101	00000011100100000011
362	T1_S31_S30_1_101	00000000011100000110
363	T1_S31_S41_1_101	00000000100100110101
Transicions partint de l'estat S41 pel patro 101		
364	T1_S41_S10_1_101	00110000000010010100
365	T1_S41_S20_1_101	00000011000010010010
366	T1_S41_S30_1_101	00000000001110010010
367	T1_S41_S40_1_101	00000000000001110101

Taula B.1: Taula de la codificació en binari dels estats de l'autòmat.